

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-119478

(P2004-119478A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl.<sup>7</sup>

H01L 27/105

H01L 27/10

H01L 43/08

F I

H01L 27/10

4 4 7

H01L 27/10

4 6 1

H01L 43/08

Z

テーマコード(参考)

5 F 0 8 3

審査請求 未請求 請求項の数 10 O L (全 41 頁)

(21) 出願番号 特願2002-277500(P2002-277500)  
(22) 出願日 平成14年9月24日(2002.9.24)(71) 出願人 503121103  
株式会社ルネサステクノロジ  
東京都千代田区丸の内二丁目4番1号  
(74) 代理人 100064746  
弁理士 深見 久郎  
(74) 代理人 100085132  
弁理士 森田 俊雄  
(74) 代理人 100083703  
弁理士 仲村 義平  
(74) 代理人 100096781  
弁理士 堀井 豊  
(74) 代理人 100098316  
弁理士 野田 久登  
(74) 代理人 100109162  
弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置、不揮発性記憶装置および磁気記憶装置

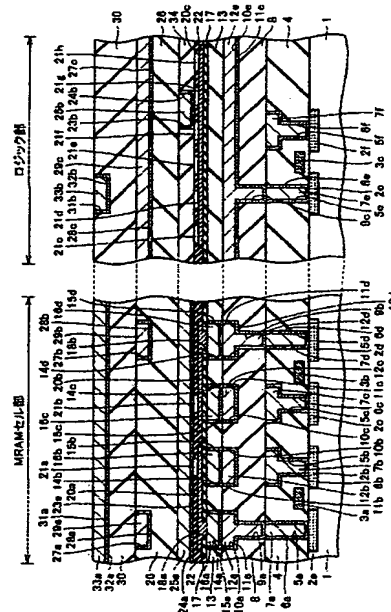
(57) 【要約】

【課題】 高い信頼性を有する半導体記憶装置、不揮発性記憶装置および磁気記憶装置を提供する。

【解決手段】 磁気記憶装置としての半導体装置は、メモリ素子としてのTMRセル21a、21bと配線としての積層配線(バリアメタル膜11b、11cと導電体12b、12cとからなる第1の配線上にバリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線を積層した積層配線)とを備える。積層配線はTMRセル21a、21bと対向するように配置されている。積層配線は、TMRセル21a、21bと対向する部分の厚みが、TMRセル21a、21bと対向する部分以外の部分の厚みより厚い。

【選択図】

図1



BEST AVAILABLE COPY

**【特許請求の範囲】****【請求項 1】**

メモリ素子と、  
前記メモリ素子と対向するように配置された配線とを備え、  
前記配線は、前記メモリ素子と対向する部分の厚みが、前記メモリ素子と対向する部分以外の部分の厚みより厚い、半導体記憶装置。

**【請求項 2】**

前記メモリ素子は磁気抵抗効果素子を含み、  
前記配線は前記磁気抵抗効果素子に磁場を印加するための配線である、請求項 1 に記載の半導体記憶装置。

**【請求項 3】**

前記メモリ素子と前記配線とは基板上のメモリセル領域に形成され、かつ、前記メモリ素子は前記配線上であって前記配線と重なるように配置され、

前記配線は、

第 1 の配線層と、

前記第 1 の配線層のうち前記メモリ素子と重なる領域上に積層された第 2 の配線層とを含み、

前記メモリ素子の上面に接触するように形成された上層配線と、

前記メモリセル領域以外の領域において、前記第 1 の配線層および前記上層配線とそれぞれ同一レイヤによって構成されるロジック配線および上層ロジック配線とをさらに備える、請求項 1 または 2 に記載の半導体記憶装置。

**【請求項 4】**

前記基板上において、前記メモリセル領域以外の領域に形成され、前記第 2 の配線層と同一レイヤにより構成されるダミー配線をさらに備える、請求項 3 に記載の半導体記憶装置。

**【請求項 5】**

基板上において、メモリセルが形成されたメモリセル部と、ロジック回路が形成されたロジック部とを備える不揮発性記憶装置であって、

前記ロジック部は、

基板上に形成された第 1 配線と、

前記第 1 配線の上層に、前記ロジック回路を構成する導電体層以外の層のみを介して形成された第 2 配線とを含み、

前記メモリセル部は、

前記第 1 配線と同一レイヤにより構成される第 3 配線と、

前記第 2 配線と同一レイヤにより構成される第 4 配線と、

前記第 3 配線と前記第 4 配線との間に形成され、前記メモリセルを構成するメモリ素子と導電体層とを含む、不揮発性記憶装置。

**【請求項 6】**

前記メモリ素子は磁気抵抗効果素子を含む、請求項 5 に記載の不揮発性記憶装置。

**【請求項 7】**

前記導電体層は、前記第 3 配線と第 4 配線との間に形成され、前記メモリ素子と接続された第 5 配線を含む、請求項 5 または 6 に記載の不揮発性記憶装置。

**【請求項 8】**

メモリ素子として動作する磁気抵抗効果素子と、

前記磁気抵抗効果素子と接触するように配置された配線とを備え、

前記配線は、前記磁気抵抗効果素子と対向する部分の厚みが、前記磁気抵抗効果素子と対向する部分以外の部分の厚みより厚い、磁気記憶装置。

**【請求項 9】**

前記配線は、

第 1 の配線層と、

10

20

30

40

50

前記第1の配線層のうち前記磁気抵抗効果素子と重なる領域上に積層された第2の配線層を含む、請求項8に記載の磁気記憶装置。

【請求項10】

前記配線は、

前記磁気抵抗効果素子と絶縁膜を介して対向するように配置された第1の配線層と、前記絶縁膜において前記第1の配線層と前記磁気抵抗効果素子との間に位置する領域に形成された開口部を充填し、前記第1の配線層と前記磁気抵抗効果素子とを電氣的に接続する導電体膜とを含む、請求項8に記載の磁気記憶装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は、半導体記憶装置、不揮発性記憶装置および磁気記憶装置に関し、より特定的には、高い信頼性を有する半導体記憶装置、不揮発性記憶装置および磁気記憶装置に関する。

【0002】

【従来の技術】

近年、次世代の半導体記憶装置として、MRAM (magnetic random access memory) が研究されている (たとえば、非特許文献1参照)。

【0003】

非特許文献1には、磁気トンネル接合 (MTJ: magnetic tunnel junction) を含むTMR (Tunneling Magnetoresistive) 素子と1つのトランジスタとからなる、いわゆる1MTJ+1トランジスタ型の不揮発性記憶装置であるMRAMのメモリセルが開示されている (非特許文献1の図7. 3. 1参照)。非特許文献1に開示された磁気記憶装置または不揮発性記憶装置の一例であるMRAMのメモリセルでは、TMR素子の下に絶縁層を介してディジット線が配置されている。また、TMR素子の上面に接触するようにビット線が配置されている。このディジット線およびビット線に電流を流すことにより発生する磁場を用いて、TMR素子のMTJを構成するフリー層としての強磁性体層の磁化方向を変更することにより、メモリセルにおけるデータの書換えが行なわれる。

20

【0004】

30

【非特許文献1】

磁気トンネル接合素子に基づく不揮発性記憶装置 (Nonvolatile RAM based on Magnetic Tunnel Junction Elements)、「ダイジェストオブテクニカルペーパーズ (ISSCC Digest of Technical Papers)」、(米国)、p. 130-131、2000年2月

【0005】

【発明が解決しようとする課題】

上述したMRAMのメモリセルを含むメモリセル部を、制御回路などを含むロジック部が形成された半導体基板上に付加的に形成しようとする場合、ロジック部の配線層とメモリセル部の上記ディジット線やビット線などの導電体層とをそれぞれ同一レイヤにより構成することが考えられる。しかし、ロジック部の配線層の間の距離 (積層して形成された複数の配線層の間に位置する層間絶縁膜の厚み) は、ロジック部の配線構造における寄生容量などの値を考慮して決定されている。そのため、単純にロジック部の配線層と同一レイヤによりメモリセル部のディジット線やビット線を形成すると、ビット線下に形成されたTMR素子とディジット線との間隔 (TMR素子とディジット線との間に位置する層間絶縁膜の厚み) が、メモリセルの要求特性から考えると必要以上に大きくなってしまった場合があった。

40

【0006】

このようにディジット線とTMR素子との間隔 (距離) が必要以上に大きい場合、ディジット線に電流を流すことにより発生してTMR素子に印加される磁場の強度が不十分とな

50

る。このため、上述したフリー層の磁化方向を確実に変更できない（データの書換えができない）ことにより信頼性が低下するおそれがあった。

#### 【0007】

この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、高い信頼性を有する半導体記憶装置、不揮発性記憶装置および磁気記憶装置を提供することである。

#### 【0008】

##### 【課題を解決するための手段】

この発明の1の局面に従った半導体記憶装置は、メモリ素子と配線とを備える。配線はメモリ素子と対向するように配置されている。配線は、メモリ素子と対向する部分の厚みが、メモリ素子と対向する部分以外の部分の厚みより厚い。 10

#### 【0009】

この発明の他の局面に従った不揮発性記憶装置は、基板上において、メモリセルが形成されたメモリセル部と、ロジック回路が形成されたロジック部とを備える。ロジック部は、第1配線と第2配線とを含む。第1配線は基板上に形成される。第2配線は第1配線の上層に、ロジック回路を構成する導電体層以外の層のみを介して形成される。メモリセル部は第3配線、第4配線、メモリ素子および導電体層を含む。第3配線は第1配線と同一レイヤにより構成される。第4配線は第2配線と同一レイヤにより構成される。メモリ素子と導電体層とは、第3配線と前記第4配線との間に形成される。メモリ素子と導電体層とはメモリセルを構成する。 20

#### 【0010】

この発明の別の局面に従った磁気記憶装置は、メモリ素子として動作する磁気抵抗効果素子と、磁気抵抗効果素子と接触するように配置された配線とを備える。配線において、磁気抵抗効果素子と対向する部分の厚みは、磁気抵抗効果素子と対向する部分以外の部分の厚みより厚い。

#### 【0011】

##### 【発明の実施の形態】

発明者は、ロジック回路が形成された半導体装置にMRAMを追加することにより、MRAMとロジック回路とを同一の半導体基板上に混載した半導体装置を実現することを検討した。図43は、発明者が検討した本発明に関連する半導体装置を示す断面模式図である。図43を参照して、本発明に関連する半導体装置を説明する。 30

#### 【0012】

図43に示すように、半導体装置はMRAMセル部とロジック部とを備える。MRAMセル部にはTMRセル21a、21bを利用したMRAMのメモリセル（MRAMセル）が形成されている。また、ロジック部にはMRAMセルの制御やその他の制御を行なうためのロジック回路を構成する電界効果トランジスタが形成されている。以下、半導体装置の構造を具体的に説明する。

#### 【0013】

図43に示した半導体装置のMRAMセル部においては、半導体基板1の主表面に電界効果トランジスタのソース／ドレイン領域2a～2dが形成されている。ソース／ドレイン領域2a、2bはチャネル領域を介して対向するように配置されている。ソース／ドレイン領域2a、2bの間のチャネル領域上には、ゲート絶縁膜を介してゲート電極3aが形成されている。このゲート電極3a、ゲート絶縁膜およびソース／ドレイン領域2a、2bからMRAMセルのスイッチング手段としての電界効果トランジスタが構成されている。また、同様に、半導体基板1の主表面に形成されたソース／ドレイン領域2c、2dの間のチャネル領域上には、ゲート絶縁膜を介してゲート電極3bが形成されている。ゲート電極3b、ゲート絶縁膜、ソース／ドレイン領域2c、2dからスイッチング手段としてのもう1つの電界効果トランジスタが構成される。 40

#### 【0014】

電界効果トランジスタのゲート電極3a、3b上には第1の層間絶縁膜4が形成されてい 50

る。第1の層間絶縁膜4においては、ソース／ドレイン領域2a～2d上に位置する領域にそれぞれコンタクトホール5a～5dが形成されている。コンタクトホール5a～5dの内壁上にはバリアメタル膜6a～6dがそれぞれ形成されている。バリアメタル膜6a～6d上には、コンタクトホール5a～5dの内部を充填するように導電体プラグ7a～7dがそれぞれ形成されている。

#### 【0015】

第1の層間絶縁膜4上には第2の層間絶縁膜8が形成されている。第2の層間絶縁膜8においては、コンタクトホール5a、5d上に位置する領域にスルーホール9a、9bが形成されている。スルーホール9a、9bの上部においては、第2の層間絶縁膜8に配線用溝10a、10dがそれぞれ形成されている。また、第1の層間絶縁膜4に形成されたコンタクトホール5b、5c上に位置する領域においては、第2の層間絶縁膜8の上部表面に配線用溝10b、10cがそれぞれ形成されている。スルーホール9a、9b、配線用溝10a～10dの内部にはバリアメタル膜11a～11dおよび導電体12a～12dが形成されている。

#### 【0016】

第2の層間絶縁膜8上には第3の層間絶縁膜13が形成されている。第3の層間絶縁膜13においては、配線用溝10a、10d上に位置する領域にそれぞれ開口部18a、18bが形成されている。開口部18a、18bの内部はそれぞれ導電体により充填されている。

#### 【0017】

第3の層間絶縁膜13上には、開口部18a、18b上から導電体12b、12c上に位置する領域にまで延び、導電体からなるストラップ20a、20bが形成されている。

#### 【0018】

ストラップ20a、20b上であって、導電体12b、12c上に位置する領域には磁気抵抗効果素子であるTMRセル21a、21bが形成されている。また、ストラップ20a、20b上には、第4の層間絶縁膜22が形成されている。なお、TMRセル21a、21bは、第4の層間絶縁膜22に埋設された状態となっているが、TMRセル21a、21bの上部表面は第4の層間絶縁膜22の上部表面において露出している。

#### 【0019】

第4の層間絶縁膜22およびTMRセル21a、21b上にはロジック部において形成された第5の層間絶縁膜34と同一レイヤからなる第5の層間絶縁膜（図示せず）が形成されている。この層間絶縁膜ではTMRセル21a、21b上に位置する領域において配線用溝23aが形成されている。配線用溝23aの内部にはバリアメタル膜24aおよび導電体25aが形成されている。この配線用溝23aの内部に形成されたバリアメタル膜24aおよび導電体25aからなる配線はMRAMセルのビット線を構成する。

#### 【0020】

導電体25a上には第6の層間絶縁膜26が形成されている。第6の層間絶縁膜26の上部表面には配線用溝27a、27bが形成されている。配線用溝27a、27bの内部にはバリアメタル膜28a、28bおよび導電体29a、29bが形成されている。第6の層間絶縁膜26上には第7の層間絶縁膜30が形成されている。第7の層間絶縁膜30の上部表面には配線用溝31aが形成されている。配線用溝31aの内部にはバリアメタル膜32aおよび導電体33aが形成されている。

#### 【0021】

図43に示した半導体装置のMRAMセル部には2つのメモリセルが示されている。すなわち、ゲート電極3a、ゲート絶縁膜およびソース／ドレイン領域2a、2bからなるスイッチング手段としての電界効果トランジスタと、この電界効果トランジスタのソース／ドレイン領域2aに電氣的に接続されたストラップ20aと、このストラップ20aの一方端部上に配置されたTMRセル21aと、このTMRセル21a下に位置する領域に形成されたディジット線としての導電体12bおよびバリアメタル膜11bからなる配線、さらにTMRセル21aの上部表面上に電氣的に接続されたバリアメタル膜24aおよび

10

20

30

40

50

導電体 25 a からなるビット線としての配線から 1 つの M R A M セルが構成される。このディジット線は T M R セル 21 a に磁場を印加することにより T M R セルの磁化方向を変更する (T M R セルの情報を書替える) ために用いられる。また、電界効果トランジスタのゲート電極 3 a は読出用のワード線を構成する。

【0022】

また、図 43 に示した M R A M セル部に形成されたもう 1 つの M R A M セルは、上述した M R A M セルと同様の構造を備える。すなわち、半導体基板 1 の主表面に形成されたゲート電極 3 b、ソース／ドレイン領域 2 c、2 d およびゲート絶縁膜からなるスイッチング手段としての電界効果トランジスタ、この電界効果トランジスタのソース／ドレイン領域 2 d と電氣的に接続されたストラップ 20 b、ストラップ 20 b の一方端部上に形成された T M R セル 21 b、T M R セル 21 b の上部表面上に接続されたビット線としてのバリアメタル膜 24 a および導電体 25 a からなる配線、さらにディジット線を構成するバリアメタル膜 11 c および導電体 12 c からなる配線により、もう 1 つの M R A M セルが構成されている。上述した M R A M セルは、半導体基板 1 上にマトリックス状に配置されている。

【0023】

次に、ロジック部の構造を説明する。ロジック部においては、半導体基板 1 の主表面にロジック部のロジック回路を構成する電界効果トランジスタのソース／ドレイン領域 2 e、2 f がチャンネル領域を介して対向するように形成されている。チャンネル領域上に位置する領域には、半導体基板 1 の主表面上にゲート絶縁膜 (図示せず) を介してゲート電極 3 c が形成されている。ゲート電極 3 c、ゲート絶縁膜、ソース／ドレイン領域 2 e、2 f からロジック回路を構成する素子である電界効果トランジスタが構成される。

【0024】

この電界効果トランジスタ上に半導体基板 1 の主表面を覆うように第 1 の層間絶縁膜 4 が形成されている。第 1 の層間絶縁膜 4 においては、ソース／ドレイン領域 2 e、2 f 上に位置する領域において、それぞれコンタクトホール 5 e、5 f が形成されている。コンタクトホール 5 e、5 f の内部にはバリアメタル膜 6 e、6 f および導電体プラグ 7 e、7 f が形成されている。

【0025】

第 1 の層間絶縁膜 4 上には第 2 の層間絶縁膜 8 が形成されている。第 2 の層間絶縁膜 8 においては、導電体プラグ 7 e 上に位置する領域にスルーホール 9 c が形成されている。また、スルーホール 9 c に連なるように、第 2 の層間絶縁膜 8 の上部表面上には配線用溝 10 e が形成されている。配線用溝 10 e およびスルーホール 9 c の内部にはバリアメタル膜 11 e および導電体 12 e が形成されている。バリアメタル膜 11 e および導電体 12 e からなる配線は、M R A M セル部のディジット線を構成するバリアメタル膜 11 b、11 c および導電体 12 b、12 c からなる配線と同一レイヤによって構成される。

【0026】

第 2 の層間絶縁膜 8 上に第 3 の層間絶縁膜 13 が形成されている。第 3 の層間絶縁膜 13 の上部表面上には第 4 の層間絶縁膜 22 が形成されている。第 4 の層間絶縁膜 22 の上部表面上には第 5 の層間絶縁膜 34 が形成されている。第 5 の層間絶縁膜 34 の上部表面には配線用溝 23 b が形成されている。配線用溝 23 b の内部にはバリアメタル膜 24 b および導電体 25 b が形成されている。バリアメタル膜 24 b および導電体 25 b からなる配線は、M R A M セル部のバリアメタル膜 24 a および導電体 25 a からなるビット線としての配線と同一レイヤからなる。

【0027】

第 5 の層間絶縁膜 34 上には第 6 の層間絶縁膜 26 が形成されている。第 6 の層間絶縁膜 26 の上部表面には配線用溝 27 c が形成されている。配線用溝 27 c の内部にはバリアメタル膜 28 c および導電体 29 c が形成されている。

【0028】

第 6 の層間絶縁膜 26 上には第 7 の層間絶縁膜 30 が形成されている。第 7 の層間絶縁膜

30の上部表面には配線用溝31bが形成されている。配線用溝31bの内部にはバリアメタル膜32bおよび導電体33bが形成されている。

#### 【0029】

図43に示すように、ロジック部のバリアメタル膜11eおよび導電体12eからなる配線と同一レイヤにより、バリアメタル膜11b、11cおよび導電体12b、12cからなる配線(MRAMセルのディジット線)を形成するとともに、ロジック部のバリアメタル膜24bおよび導電体25bからなる配線と同一レイヤにより、バリアメタル膜24aおよび導電体25aからなる配線(MRAMセルのビット線)を形成すると、ビット線に接続するように形成されたTMRセル21a、21bとディジット線(バリアメタル膜11b、11cおよび導電体12b、12cからなる配線)との間の距離Lが長くなるため、ディジット線に電流を流すことにより発生し、TMRセル21a、21bに印加される磁場の強度が不十分となる場合が考えられる。これは、層間絶縁膜13の厚みがロジック部の配線構造の寄生容量などの値を最適化するという観点から決定されているためである。また、TMRセル21a、21bに印加される磁場の強度が十分なレベルとなるように層間絶縁膜13の厚みを薄くすると、ロジック部の配線構造について寄生容量などの値が変化する。このため、ロジック部の配線構造全体の設計の見直し(遅延計算のやり直しなど)が必要となるので、半導体装置の開発期間が長くなる。この結果、半導体装置の製造コストが増大することになる。

#### 【0030】

発明者は、このような問題を回避するため、研究の結果本発明を完成した。以下、図面に基いて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

#### 【0031】

##### (実施の形態1)

図1は、本発明による半導体装置の実施の形態1を示す断面模式図である。図1を参照して、本発明による半導体装置の実施の形態1を説明する。

#### 【0032】

図1に示した本発明による半導体装置の実施の形態1はメモリセル領域としてのMRAMセル部と、ロジック部とを備える。MRAMセル部には後述するように磁気抵抗効果素子としてのTMRセル21a、21bを利用したMRAMのメモリセルが形成されている。また、ロジック部には後述するようにMRAMセルの制御やその他の制御・演算を行なうためのロジック回路を構成する電界効果トランジスタが形成されている。以下、半導体装置の構造を具体的に説明する。

#### 【0033】

図1に示した半導体装置のMRAMセル部においては、半導体基板1の主表面に電界効果トランジスタのソース/ドレイン領域2a~2dが形成されている。ソース/ドレイン領域2a、2bはチャンネル領域を介して対向するように配置されている。ソース/ドレイン領域2a、2bの間のチャンネル領域上には、ゲート絶縁膜を介してゲート電極3aが形成されている。このゲート電極3a、ゲート絶縁膜、ソース/ドレイン領域2a、2bからスイッチング手段としての電界効果トランジスタが構成されている。また、同様に、半導体基板1の主表面に形成されたソース/ドレイン領域2c、2dの間のチャンネル領域上には、ゲート絶縁膜を介してゲート電極3bが形成されている。ゲート電極3b、ゲート絶縁膜、ソース/ドレイン領域2c、2dからスイッチング手段としてのもう1つの電界効果トランジスタが構成される。

#### 【0034】

電界効果トランジスタのゲート電極3a、3b上には第1の層間絶縁膜4が形成されている。第1の層間絶縁膜4においては、ソース/ドレイン領域2a~2d上に位置する領域にそれぞれコンタクトホール5a~5dが形成されている。コンタクトホール5a~5dの底部では、ソース/ドレイン領域2a~2dの表面が露出している。また、コンタクトホール5b、5cの上部においては、層間絶縁膜4に図1の紙面に対してほぼ垂直方向に

10

20

30

40

50

延在する配線用溝が形成されている。

【0035】

コンタクトホール5a～5dの内壁上には窒化チタン(TiN)などからなるバリアメタル膜6a～6dがそれぞれ形成されている。バリアメタル膜6a～6d上には、コンタクトホール5a～5dの内部を充填するように導電体プラグ7a～7dがそれぞれ形成されている。導電体プラグ7a～7dの材料としてはたとえばめっき法などを用いて形成した銅(Cu)を用いることができる。

【0036】

第1の層間絶縁膜4上には第2の層間絶縁膜8が形成されている。第2の層間絶縁膜8においては、コンタクトホール5a、5d上に位置する領域にスルーホール9a、9bが形成されている。また、スルーホール9a、9bの上部においては、第2の層間絶縁膜8に配線用溝10a、10dがそれぞれ形成されている。また、第1の層間絶縁膜4に形成されたコンタクトホール5b、5c上に位置する領域においては、第2の層間絶縁膜8の上部表面に配線用溝10b、10cがそれぞれ形成されている。配線用溝10a～10dは、それぞれ図1の紙面にはほぼ垂直な方向に延在するように形成されている。

【0037】

スルーホール9a、9b、配線用溝10a～10dの内部の壁面を覆うようにバリアメタル膜11a～11dが形成されている。バリアメタル膜11a～11d上には、スルーホール9a、9bおよび配線用溝10a、10dの内部を充填するように導電体12a～12dが形成されている。導電体12a～12dの材料としてはたとえば銅(Cu)を用いることができる。

【0038】

第2の層間絶縁膜8上には第3の層間絶縁膜13が形成されている。第3の層間絶縁膜13においては、配線用溝10a～10d上に位置する領域にそれぞれ配線用溝14a～14dが形成されている。なお、配線用溝14b、14cは、TMRセル21a、21cの下のみに形成されているが、他の領域にも形成してもよい。配線用溝14a～14dの底部においては、それぞれ配線用溝10a～10d内部に形成された導電体12a～12dの上部表面が露出している。配線用溝14a～14dの内壁面を覆うようにバリアメタル膜15a～15dがそれぞれ形成されている。バリアメタル膜15a～15d上には、配線用溝14a～14dの内部を充填するように導電体16a～16dが形成されている。導電体16a～16dの材料としてはたとえば銅(Cu)を用いることができる。配線用溝10b、10cの内部に形成されたバリアメタル膜11b、11cおよび導電体12b、12cからなる第1の配線層と、配線用溝14b、14cの内部に形成されたバリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線層とからMRAMセルのディジット線が構成される。このディジット線はTMRセル21a、21bの書替えに用いられる。

【0039】

次に、第3の層間絶縁膜13上に第4の層間絶縁膜17を形成する。層間絶縁膜17には、導電体16a、16d上に位置する領域に開口部18a、18bが形成されている。開口部18a、18bの内部を充填するとともに第4の層間絶縁膜17の上表面上に延在するように導電体からなるストラップ20a、20bが形成されている。ストラップ20a、20bはたとえば窒化チタン(TiN)あるいはポリシリコンにより構成されていてもよい。ストラップ20a、20bは配線用溝14a、14dの内部の導電体16a、16dとそれぞれ電氣的に接続されている。また、ストラップ20a、20bの一方端部はディジット線を構成する導電体16b、16cの上にまで延在するように形成されている。

【0040】

ストラップ20a、20b上であって、導電体16b、16c上に位置する領域には磁気抵抗効果素子であるTMRセル21a、21bが形成されている。また、ストラップ20a、20b上には、第5の層間絶縁膜22が形成されている。第5の層間絶縁膜22の上部表面は、TMRセル21a、21bの上部表面とほぼ同一平面上に位置するように形成



されている。つまり、TMRセル21a、21bは、第5の層間絶縁膜22に埋設された状態となっているが、TMRセル21a、21bの上部表面は第5の層間絶縁膜22の上部表面において露出している。

【0041】

第5の層間絶縁膜22およびTMRセル21a、21b上にはロジック部において形成された層間絶縁膜34と同一レイヤからなる第6の層間絶縁膜（図示せず）が形成されている。この層間絶縁膜にはTMRセル21a、21b上に位置する領域において配線用溝23aが形成されている。配線用溝23aの内壁面上にはバリアメタル膜24aが形成されている。バリアメタル膜24a上には、配線用溝23aの内部を充填するように導電体25aが形成されている。導電体25aを構成する材料としてはたとえば銅（Cu）を用いることができる。この配線用溝23aの内部に形成されたバリアメタル膜24aおよび導電体25aからなる配線はMRAMセルのビット線を構成する。

10

【0042】

導電体25a上には第6の層間絶縁膜26が形成されている。第7の層間絶縁膜26の上部表面には配線用溝27a、27bが形成されている。配線用溝27a、27bの内部には、その壁面を覆うようにバリアメタル膜28a、28bが形成されている。バリアメタル膜28a、28b上には配線用溝27a、27bの内部を充填するように導電体29a、29bが形成されている。導電体29a、29bの材料としてはたとえば銅（Cu）を用いることができる。

【0043】

第7の層間絶縁膜26上には第8の層間絶縁膜30が形成されている。第8の層間絶縁膜30の上部表面には配線用溝31aが形成されている。配線用溝31aの内壁面を覆うようにバリアメタル膜32aが形成されている。バリアメタル膜32a上には配線用溝31aの内部を充填するように導電体33aが形成されている。導電体33aの材料としてはたとえば銅（Cu）を用いることができる。

20

【0044】

図1に示した半導体装置のMRAMセル部には2つのメモリセルが示されている。すなわち、ワード線としてのゲート電極3a、ゲート絶縁膜およびソース／ドレイン領域2a、2bからなるスイッチング手段としての電界効果トランジスタと、この電界効果トランジスタのソース／ドレイン領域2aに電気的に接続されたストラップ20aと、このストラップ20aの一方端部上に配置されたTMRセル21aと、このTMRセル21a下に位置する領域に形成されたディジット線としての導電体12b、16bおよびバリアメタル膜11b、15bからなる積層配線と、さらにTMRセル21aの上部表面に電気的に接続されたバリアメタル膜24aおよび導電体25aからなるビット線としての配線とから1つのMRAMメモリセルが構成される。

30

【0045】

上述したディジット線はTMRセル21a下にストラップ20aおよび層間絶縁膜22を介して配置されている。TMRセル21aとディジット線としての積層配線との間の距離は充分小さくなっている。このディジット線は既に述べたようにTMRセル21aを書替えるために用いられる。また、電界効果トランジスタのゲート電極3aは読出用のワード線として作用する。

40

【0046】

また、図1に示したMRAMセル部に形成されたもう1つのMRAMメモリセル（MRAMセルとも言う）は、上述したMRAMメモリセルと同様の構造を備える。すなわち、半導体基板1の主表面に形成されたゲート電極3b、ソース／ドレイン領域2c、2dおよびゲート絶縁膜からなるスイッチング手段としての電界効果トランジスタ、この電界効果トランジスタのソース／ドレイン領域2dと電気的に接続されたストラップ20b、ストラップ20bの一方端部上に形成されたTMRセル21b、TMRセル21bの上部表面上に接続されたバリアメタル膜24aおよび導電体25aからなるビット線としての配線、さらにディジット線としてのバリアメタル膜11c、15cおよび導電体12c、16

50

c からなる積層配線により、MRAMセルは構成されている。上述したMRAMセルは、半導体基板1上にマトリックス状に配置されている。

【0047】

MRAMセルの書込み、読み出しなどを行なう場合、それぞれのMRAMセルを構成する電界効果トランジスタによって個々のMRAMセルが選択される。そして、上述したワード線、ビット線およびディジット線などに適宜電流を流すことにより、MRAMセルにおけるデータの書替え／読出が行なわれる。

【0048】

次に、ロジック部の構造を説明する。ロジック部においては、半導体基板1の主表面にロジック部のロジック回路を構成する電界効果トランジスタが形成されている。電界効果トランジスタのソース／ドレイン領域2e、2fは、半導体基板1の主表面においてチャネル領域を介して対向するように形成されている。チャネル領域上に位置する領域では、半導体基板1の主表面上にゲート絶縁膜を介してゲート電極3cが形成されている。ゲート電極3c、ゲート絶縁膜、ソース／ドレイン領域2e、2fからロジック回路を構成する素子である電界効果トランジスタが構成される。

【0049】

この電界効果トランジスタ上に半導体基板1の主表面を覆うように第1の層間絶縁膜4が形成される。第1の層間絶縁膜4においては、ソース／ドレイン領域2e、2f上に位置する領域において、それぞれコンタクトホール5e、5fが形成されている。コンタクトホール5fの上部においては、層間絶縁膜4に図1の紙面にほぼ垂直な方向に延びる配線用溝が形成されている。コンタクトホール5e、5fの内壁面上にはバリアメタル膜6e、6fがそれぞれ形成されている。バリアメタル膜6e、6f上には、コンタクトホール5e、5fの内部を充填するように導電体プラグ7e、7fが形成されている。

【0050】

第1の層間絶縁膜4上には第2の層間絶縁膜8が形成されている。第2の層間絶縁膜8においては、導電体プラグ7e上に位置する領域にスルーホール9cが形成されている。また、スルーホール9cに連なるように、第2の層間絶縁膜8の上部表面上には配線用溝10eが形成されている。配線用溝10eおよびスルーホール9cの内壁面を覆うようにバリアメタル膜11eが形成されている。バリアメタル膜11e上には、スルーホール9cおよび配線用溝10eの内部を充填するように導電体12eが形成されている。バリアメタル膜11eおよび導電体12eからなる配線層は、MRAMセル部のディジット線を構成する第1の配線層としてのバリアメタル膜11b、11cおよび導電体12b、12cからなる配線と同一レイヤによって構成される配線である。

【0051】

第2の層間絶縁膜8上に第3の層間絶縁膜13が形成されている。第3の層間絶縁膜13の上部表面上には第4の層間絶縁膜17が形成されている。第4の層間絶縁膜17の上部表面上にはMRAMセル部のストラップ20a、20bと同一レイヤからなる導電体膜20cが形成されている。導電体膜20c上にはTMRセル21a、21bと同一レイヤからなるTMRセルダミー21c～21hが形成されている。導電体膜20c上にはTMRセルダミー21c～21gの間を充填するように第5の層間絶縁膜22が形成されている。第5の層間絶縁膜22上には第6の層間絶縁膜34が形成されている。

【0052】

第6の層間絶縁膜34の上部表面には配線用溝23bが形成されている。配線用溝23bの内壁面上にはバリアメタル膜24bが形成されている。バリアメタル膜24b上には、配線用溝23bの内部を充填するように導電体25bが形成されている。バリアメタル膜24bおよび導電体25bからなる配線は、MRAMセル部のビット線であるバリアメタル膜24aおよび導電体25aからなる配線と同一レイヤにより構成される。

【0053】

第6の層間絶縁膜34上には第7の層間絶縁膜26が形成されている。第7の層間絶縁膜26の上部表面には配線用溝27cが形成されている。配線用溝27cの内壁面上にはバ

10

20

30

40

50

リアメタル膜 28 c が形成されている。バリアメタル膜 28 c 上には、配線用溝 27 c の内部を充填するように導電体 29 c が形成されている。バリアメタル膜 28 c および導電体 29 c からなる配線は、MRAMセル部のバリアメタル膜 28 a、28 b および導電体 29 a、29 b により構成される配線と同一レイヤからなる。

【0054】

第7の層間絶縁膜 26 上には第8の層間絶縁膜 30 が形成されている。第8の層間絶縁膜 30 の上部表面には配線用溝 31 b が形成されている。配線用溝 31 b の内壁面上にはバリアメタル膜 32 b が形成されている。バリアメタル膜 32 b 上には配線用溝 31 b の内部を充填するように導電体 33 b が形成されている。

【0055】

上述した本発明に従った半導体記憶装置の一例としての半導体装置の特徴的な構成を要約すれば、磁気記憶装置として動作する図1に示した半導体装置は、メモリ素子を構成する（メモリ素子に含まれる）磁気抵抗効果素子としてのTMRセル 21 a、21 b と、配線としての積層配線（バリアメタル膜 11 b、11 c と導電体 12 b、12 c とからなる第1の配線上にバリアメタル膜 15 b、15 c および導電体 16 b、16 c からなる第2の配線を積層した積層配線）とを備える。積層配線はTMRセル 21 a、21 b と対向するように配置されている。積層配線は磁気抵抗効果素子としてのTMRセル 21 a、21 b に磁場を印加するためのものである。積層配線は、TMRセル 21 a、21 b と対向する部分の厚みが、TMRセル 21 a、21 b と対向する部分以外の部分の厚みより厚い。つまり、バリアメタル膜 15 b、15 c および導電体 16 b、16 c からなる第2の配線はTMRセル 21 a、21 b の下に位置する部分に形成されているが、TMRセル 21 a、21 b の下に位置する領域以外の部分では、第1の配線上であって第2の配線が形成されていない部分が存在する。

【0056】

このように、ディジット線としてバリアメタル膜 11 b、11 c と導電体 12 b、12 c とからなる第1の配線上にバリアメタル膜 15 b、15 c および導電体 16 b、16 c からなる第2の配線を積層した積層配線を用いることで、ディジット線の膜厚を厚くすることができる（ディジット線の断面積を大きくできる）。この結果、ディジット線に流す電流による配線電流密度を低減できる。この結果、MRAMセルにおける書込動作などの信頼性を向上させることができる。従って、半導体装置の信頼性を向上させることができる。

【0057】

また、このようにディジット線を積層構造としてその膜厚を厚くすることにより、TMRセル 21 a、21 b とディジット線との間の距離を小さくできる。このため、ディジット線により発生し、TMRセル 21 a、21 b に印加される磁場の強度を強くすることができる。そのため、当該磁場によってTMRセル 21 a、21 b の磁極変化を容易に行なうことができる。この結果、ディジット線に流す電流を低減することができる。ディジット線ドライバ素子などのサイズを低減することができる。

【0058】

また、図1に示した構造では、ロジック部の断面構造における層間絶縁膜 4、8、13、22、34 などの厚みといった断面構造を変更することなくロジック部の回路とMRAMセルとを1つのチップ上に混載することができる。このため、ロジック部の回路について、MRAMセルを混載することにより配線間の寄生容量などの条件は基本的に変更されない。したがって、MRAMセルをロジック回路と組合せることによるロジック部の遅延計算をやり直すといった必要がないため、半導体装置の開発期間の短縮を図ることができる。

【0059】

また、図1からも分かるように、本発明による磁気記憶装置の一例である図1に示した半導体装置はダミー素子としてのTMRセルダミー 21 c ~ 21 h を備える。TMRセルダミー 21 c ~ 21 h は磁気抵抗効果素子としてのTMRセル 21 a、21 b と同一レイヤ

10

20

30

40

50

により構成されている。

【0060】

この場合、ダミー素子としてのTMRセルダミー21c～21hを配置するので、TMRセル21a、21b上の絶縁膜（層間絶縁膜34）などをCMP法を用いて平坦化する場合に、TMRセル21a、21bが配置された領域（メモリセル領域）とダミー素子（TMRセルダミー21c～21h）が形成された領域（メモリセル領域以外の領域であるロジック領域）との間で絶縁膜の研磨スピードをほぼ等しくできる。このため、MRAMセル部とロジック部との間で段差が発生することを抑制できる。

【0061】

また、図1からも分かるように、半導体装置において、磁気抵抗効果素子としてのTMRセル21a、21bと配線（バリアメタル膜11b、11cと導電体12b、12cとからなる第1の配線上にバリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線を積層した積層配線）とは基板としての半導体基板1上のメモリセル領域（MRAMセル部）に形成される。TMRセル21a、21bは積層配線上であって積層配線と重なるように配置されている。積層配線は上述したように第1の配線層（バリアメタル膜11b、11cと導電体12b、12cとからなる第1の配線）と第2の配線層（バリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線）とを含む。第2の配線は、第1の配線のうちTMRセル21a、21bと重なる領域上に積層されている。半導体装置は、上層配線としてのダマシン配線（バリアメタル膜24aおよび導電体25aからなる配線）、ロジック配線としてのダマシン配線（バリアメタル膜11e 20 および導電体12eからなる配線）および上層ロジック配線としてのダマシン配線（バリアメタル膜24bおよび導電体25bからなる配線）をさらに備えている。上層配線（バリアメタル膜24aおよび導電体25aからなる配線）はTMRセル21a、21bの上面に接触するように形成されている。ロジック配線（バリアメタル膜11eおよび導電体12eからなる配線）は、メモリセル領域以外の領域であるロジック部において、第1の配線と同一レイヤによって構成されている。上層ロジック配線（バリアメタル膜24bおよび導電体25bからなる配線）は、ロジック部において、上層配線（バリアメタル膜24aおよび導電体25aからなる配線）と同一レイヤによって構成される。

【0062】

この場合、ロジック部のロジック配線および上層ロジック配線と同一レイヤの配線層を利用してメモリセルを構成する配線層を形成する一方、第2の配線（バリアメタル膜15b、15cおよび導電体16b、16cからなる配線）を形成してデジット線としての積層配線の厚みを厚くしている。この結果、ロジック部におけるロジック配線および上層ロジック配線の間の距離（層間絶縁膜13、22の厚み）をMRAMセルに合せて変更する必要が無いので、ロジック部のロジック配線および上層ロジック配線などの配線構造に関する寄生容量などの条件を維持したまま、MRAMセルを形成できる。そして、メモリセル領域としてのMRAMセル部では、第2の配線を形成することにより積層配線の厚みを厚くすることで、デジット線としての積層配線とTMRセル21a、21bとの間の距離を充分小さくできる。

【0063】

次に、図2～図11を参照しながら図1に示した半導体装置の製造方法を説明する。図2～図11は、図1に示した半導体装置の製造方法を説明するための断面模式図である。

【0064】

まず、半導体基板1の主表面上に通常の成膜工程、写真製版加工工程および注入工程などを用いてMRAMセルのスイッチング手段となる電界効果トランジスタおよびロジック部において回路を構成する電界効果トランジスタを形成する。具体的には、半導体基板1（図2参照）の主表面上にゲート絶縁膜となるべき絶縁膜を形成する。このゲート絶縁膜となるべき絶縁膜上にゲート電極3a～3c（図1参照）となるべき導電体膜を形成する。この導電体膜上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして導電体膜および絶縁膜をエッチングにより部分的に除去する。その後レジスト膜を除去 50

する。このようにしてゲート電極 3 a ~ 3 c (図 2 参照) およびゲート絶縁膜を形成する。

【0065】

そして、ゲート電極 3 a ~ 3 c をマスクとして用いて半導体基板 1 の主表面に導電性の不純物を注入することによりソース／ドレイン領域 2 a ~ 2 d (図 2 参照) を形成する。このようにして、スイッチング素子として作用する電界効果トランジスタおよびロジック部のロジック回路を構成する電界効果トランジスタを形成する。

【0066】

次に、半導体基板 1 の全面を覆うように第 1 の層間絶縁膜 4 (図 2 参照) を形成する。第 1 の層間絶縁膜 4 上にパターンを有するレジスト膜をフォトリソグラフィ法により形成する。このレジスト膜をマスクとして第 1 の層間絶縁膜 4 の一部をエッチングにより除去する。その後レジスト膜を除去する。この結果、第 1 の層間絶縁膜 4 においてコンタクトホール 5 a ~ 5 f (図 2 参照) が形成される。

【0067】

コンタクトホール 5 a ~ 5 f の内部から第 1 の層間絶縁膜 4 の上部表面上にまで延在するようにバリアメタル膜を形成する。バリアメタル膜の上にコンタクトホール 5 a ~ 5 f の内部を充填するとともに第 1 の層間絶縁膜 4 の上部表面上にまで延在する導電体膜を形成する。その後、CMP (Chemical Mechanical Polishing) 法を用いて第 1 の層間絶縁膜 4 の上部表面上に位置する導電体膜およびバリアメタル膜を除去する。この結果、コンタクトホール 5 a ~ 5 f の内部に配置されたバリアメタル膜 6 a ~ 6 f (図 2 参照) および導電体プラグ 7 a ~ 7 f (図 2 参照) が形成される。

【0068】

次に、第 1 の層間絶縁膜 4 上に第 2 の層間絶縁膜 8 (図 2 参照) を形成する。第 2 の層間絶縁膜 8 上にパターンを有するレジスト膜をフォトリソグラフィ法を用いて形成する。このレジスト膜をマスクとして第 2 の層間絶縁膜 8 を部分的にエッチングにより除去することによりスルーホール 9 a ~ 9 c (図 2 参照) を形成する。また、配線用溝 10 a ~ 10 e (図 2 参照) のパターンに対応する他のレジスト膜をマスクとして用いて第 2 の層間絶縁膜 8 を部分的にエッチングにより除去することにより、配線用溝 10 a ~ 10 e (図 2 参照) を形成する。スルーホール 9 a ~ 9 c および配線用溝 10 a ~ 10 e の内部から第 2 の層間絶縁膜 8 の上部表面上にまで延在するようにバリアメタル膜を形成する。このバリアメタル膜上に、スルーホール 9 a ~ 9 c および配線用溝 10 a ~ 10 e の内部を充填するとともに第 2 の層間絶縁膜 8 の上部表面上にまで延在する導電体を形成する。その後、CMP 法により第 2 の層間絶縁膜 8 の上部表面上に位置する導電体およびバリアメタルを除去する。この結果、スルーホール 9 a ~ 9 c および配線用溝 10 a ~ 10 e の内部を充填するバリアメタル膜 11 a ~ 11 e (図 2 参照) および導電体 12 a ~ 12 e (図 2 参照) を得る。このようにして、図 2 に示すような構造を得る。

【0069】

次に、図 3 に示すように、第 2 の層間絶縁膜 8 上に第 3 の層間絶縁膜 13 を形成する。第 3 の層間絶縁膜 13 上にフォトリソグラフィ法を用いてパターンを有するレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして用いて、第 3 の層間絶縁膜 13 を部分的にエッチングにより除去することにより、配線用溝 14 a ~ 14 d を形成する。その後レジスト膜を除去する。そして、配線用溝 14 a ~ 14 d の内部から第 3 の層間絶縁膜 13 の上部表面上にまで延在するようにバリアメタル膜 15 を形成する。バリアメタル膜 15 上に、配線用溝 14 a ~ 14 d の内部を充填するとともに第 3 の層間絶縁膜 13 の上部表面上にまで延在する導電体 16 を形成する。

【0070】

次に、CMP 法によって第 3 の層間絶縁膜 13 の上部表面上に位置するバリアメタル膜 15 (図 3 参照) および導電体 16 (図 3 参照) を除去する。この結果、図 4 に示すように配線用溝 14 a ~ 14 d の内部にバリアメタル膜 15 a ~ 15 d および導電体 16 a ~ 16 d からなる配線が形成される。

10

20

30

40

50

## 【0071】

なお、図4に示したように本発明の実施の形態では、ロジック部においてバリアメタル膜15a～15dおよび導電体16a～16dと同一レイヤからなる配線層を形成してもよい。この場合、ロジック部の配線において特に配線抵抗を低減したい部分に上記配線層を形成することが好ましい。たとえば、図4のバリアメタル膜11eおよび導電体12eからなる配線の配線抵抗を低減したい場合には、この導電体12e上の領域にバリアメタル膜15a～15dおよび導電体16a～16dと同一レイヤからなる配線を、この導電体12eと接触するように形成してもよい。このようにすれば、ロジック部の配線（たとえばバリアメタル膜11eおよび導電体12eからなる配線）の配線抵抗を低減することができる。

10

## 【0072】

次に、第3の層間絶縁膜13上に第4の層間絶縁膜17（図5参照）を形成する。この第4の層間絶縁膜17上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして第4の層間絶縁膜17を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、第4の層間絶縁膜17において、導電体16a、16d上に位置する領域に開口部18a、18b（図5参照）を形成する。このようにして、図5に示すような構造を得る。なお、第4の層間絶縁膜17の膜厚は第1～第3の層間絶縁膜4、8、13よりも十分薄く設定されている。これはディジット線とTMRセル21a、21b（図1参照）との間の距離を充分小さくするためである。なお、第4の層間絶縁膜17の膜厚を適宜変更することにより、ディジット線とTMRセル21a、21bとの間の距離を任意に変更することができる。

20

## 【0073】

次に、第4の層間絶縁膜17上にストラップ20a、20b（図6参照）および導電体膜20c（図6参照）となるべき導電体膜を形成する。この導電体膜上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして導電体膜を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、図6に示すように、ストラップ20a、20bおよび導電体膜20cを形成できる。なお、第4の層間絶縁膜17の膜厚は十分薄いため、ストラップ20a、20bなどを構成する導電体を形成する際に容易に開口部18a、18bを上記導電体により埋込むことができる。

30

## 【0074】

次に、ストラップ20a、20bおよび導電体膜20c上にTMRセルとなるべき積層膜を形成する。この積層膜上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして積層膜を部分的に除去する。その後レジスト膜を除去する。この結果、図7に示すように、TMRセル21a、21bおよびTMRセルダミー21c～21hを形成できる。なお、TMRセル21a、21bおよびTMRセルダミー21c～21hは、2つの強磁性体層とその間に挟まれた薄い絶縁体層からなるMTJ（Magnetic Tunneling Junction）と、一方の強磁性体層と接する半強磁性体層とを備える。

## 【0075】

次に、TMRセル21a、21bおよびTMRセルダミー21c～21h上に第5の層間絶縁膜22（図8参照）を形成する。このようにして、図8に示すような構造を得る。

40

## 【0076】

その後、CMP法により、TMRセル21a、21bおよびTMRセルダミー21c～21hの上部表面が露出するまで第5の層間絶縁膜22を除去する。その後、第5の層間絶縁膜22上に第6の層間絶縁膜34（図9参照）を形成する。この第6の層間絶縁膜34上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして、第6の層間絶縁膜34を部分的にエッチングにより除去する。この結果、配線用溝23a、23b（図9参照）を第6の層間絶縁膜34に形成する。その後レジスト膜を除去する。この結果、図9に示すような構造を得る。なお、ロジック部において形成されたTMRセルダミー21c～21hは、配線用溝23bを形成するためのエッチングにおける

50

エッチングストップパとして作用する。そのため、配線用溝 2 3 b を形成する際のエッチングの精度を向上させることができる。

【0077】

次に、配線用溝 2 3 a、2 3 b の内部から第 6 の層間絶縁膜 3 4 の上部表面上にまで延在するようにバリアメタル膜 2 4 (図 10 参照) を形成する。バリアメタル膜 2 4 上に、配線用溝 2 3 a、2 3 b の内部を充填するとともに第 6 の層間絶縁膜 3 4 の上部表面上にまで延在する導電体 2 5 (図 10 参照) を形成する。このようにして、図 10 に示すような構造を得る。

【0078】

次に、CMP 法を用いて第 6 の層間絶縁膜 3 4 の上部表面上に位置するバリアメタル膜 2 4 (図 10 参照) および導電体 2 5 (図 10 参照) を除去する。この結果、図 11 に示すように配線用溝 2 3 a、2 3 b の内部を充填するバリアメタル膜 2 4 a、2 4 b および導電体 2 5 a、2 5 b からなる配線を形成できる。なお、導電体 2 5 a、2 5 b としてはめっき法により形成された銅 (Cu) を用いることができる。

【0079】

次に、第 6 の層間絶縁膜 3 4 より上層の構造は、通常の成膜工程、写真製版加工工程などを用いて形成できる。具体的には、第 6 の層間絶縁膜 3 4 の上部表面上に第 7 の層間絶縁膜 2 6 (図 1 参照) を形成する。この第 7 の層間絶縁膜 2 6 上にパターンを有するレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして用いて、第 7 の層間絶縁膜 2 6 を部分的に除去することにより配線用溝 2 7 a ~ 2 7 c (図 1 参照) を形成する。その後レジスト膜を除去する。そして、配線用溝 2 7 a ~ 2 7 c の内表面から第 7 の層間絶縁膜 2 6 の上部表面上にまで延在するようにバリアメタル膜を形成する。そして、バリアメタル膜上に、配線用溝 2 7 a ~ 2 7 c の内部を充填するとともに第 7 の層間絶縁膜の上部表面上にまで延在する導電体を形成する。その後 CMP 法を用いて第 7 の層間絶縁膜 2 6 の上部表面上に位置するバリアメタル膜および導電体を除去する。この結果、配線用溝 2 7 a ~ 2 7 c の内部に配置されたバリアメタル膜 2 8 a ~ 2 8 c (図 1 参照) および導電体 2 9 a ~ 2 9 c (図 1 参照) を得ることができる。

【0080】

次に、第 7 の層間絶縁膜 2 6 の上部表面上に第 8 の層間絶縁膜 3 0 (図 1 参照) を形成する。第 8 の層間絶縁膜 3 0 の上部表面上にパターンを有するレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして第 8 の層間絶縁膜 3 0 を部分的に除去することにより配線用溝 3 1 a、3 1 b (図 1 参照) を形成する。その後レジスト膜を除去する。そして、配線用溝 3 1 a、3 1 b の内部から第 8 の層間絶縁膜 3 0 の上部表面上にまで延在するようにバリアメタル膜を形成する。バリアメタル膜上に、配線用溝 3 1 a、3 1 b の内部を充填するとともに、第 8 の層間絶縁膜 3 0 の上部表面上にまで延在する導電体を形成する。その後、CMP 法を用いて第 8 の層間絶縁膜 3 0 の上部表面上に位置する導電体およびバリアメタル膜を除去する。この結果、配線用溝 3 1 a、3 1 b の内部に配置されたバリアメタル膜 3 2 a、3 2 b (図 1 参照) および導電体 3 3 a、3 3 b (図 1 参照) からなる配線を形成できる。このようにして、図 1 に示すような構造を得ることができる。

【0081】

(実施の形態 2)

図 1 2 は、本発明による半導体装置の実施の形態 2 を示す断面模式図である。図 1 2 を参照して、本発明による半導体装置の実施の形態 2 を説明する。

【0082】

図 1 2 に示すように、半導体装置は MRAM セル部とロジック部とを備える。MRAM セル部の構造は、半導体基板 1 から第 2 の層間絶縁膜 8 が形成された層までは図 1 に示した半導体装置と同様の構造を備える。しかし、図 1 2 に示した半導体装置では、MRAM セル部において MRAM セルを構成するストラップ 2 0 a、2 0 b や TMR セル 2 1 a、2 1 b およびバリアメタル膜 2 4 a と導電体 2 5 a とからなるビット線としての配線が、バ

10

20

30

40

50

リアメタル膜 11 a ~ 11 e および導電体 12 a ~ 12 e からなる配線が形成された層とバリアメタル膜 28 a ~ 28 c および導電体 29 a ~ 29 c からなる配線が形成された層との間に配置されている。

#### 【0083】

具体的には、第2の層間絶縁膜8の上部表面上に薄い第3の層間絶縁膜17が形成されている。層間絶縁膜17には、導電体12 a、12 d上に位置する領域に開口部18 a、18 bが形成されている。層間絶縁膜17上には、開口部18 a、18 b上の領域から、バリアメタル膜11 b、11 c および導電体12 b、12 c からなるディジット線としての配線層上に位置する領域にまで延在するように、導電体からなるストラップ20 a、20 bが形成されている。ストラップ20 a、20 bにおいて、上述したディジット線を構成する導電体12 b、12 c上に位置する領域上にはメモリ素子としてのTMRセル21 a、21 bが配置されている。

10

#### 【0084】

ストラップ20 a、20 b上には、TMRセル21 a、21 bを埋設するように第4の層間絶縁膜22が形成されている。層間絶縁膜22上には第5の層間絶縁膜34が形成されている。層間絶縁膜34には、TMRセル21 a、21 bの上部表面を露出させる位置に配線用溝40が形成されている。配線用溝40の内壁を覆うようにバリアメタル膜24 aが形成されている。バリアメタル膜24 a上には、配線用溝40を充填するように導電体25 aが形成されている。導電体25 aおよびバリアメタル膜24 aからビット線が構成される。

20

#### 【0085】

層間絶縁膜34上には第6の層間絶縁膜26が形成されている。層間絶縁膜26の上部表面には配線用溝27 a、27 bが形成されている。配線用溝27 a、27 bの内壁面上にはバリアメタル膜28 a、28 bが形成されている。バリアメタル膜28 a、28 b上には、配線用溝27 a、27 bを充填するように導電体29 a、29 bが形成されている。バリアメタル膜28 a、28 bと導電体29 a、29 bとから配線層が形成される。

#### 【0086】

層間絶縁膜26上には第7の層間絶縁膜30が形成されている。層間絶縁膜30の上部表面には配線用溝31 aが形成されている。配線用溝31 aの内壁面上にはバリアメタル膜32 aが形成されている。バリアメタル膜32 a上には、配線用溝31 aを充填するように導電体33 aが形成されている。バリアメタル膜32 aと導電体33 aとから配線層が形成される。

30

#### 【0087】

配線層を構成する導電体33 a上には第8の層間絶縁膜41が形成されている。層間絶縁膜41には配線用溝42 aが形成されている。配線用溝42 aの底壁は、その一部が半導体基板1側に延在し、その底部において導電体33 aの上部表面の一部を露出するスルーホールとなっている。配線用溝42 aの内壁を覆うようにバリアメタル膜43 aが形成されている。バリアメタル膜43 a上には配線用溝42 aの内部を充填するように導電体44 aが形成されている。導電体44 aおよびバリアメタル膜43 aから上層配線層が構成される。

40

#### 【0088】

図12に示した半導体装置のロジック部において、半導体基板1からバリアメタル膜11 e および導電体12 e からなる配線層が形成された層までの構造は、図1に示した半導体装置における当該部分の構造と同様である。そして、導電体12 e 上には、層間絶縁膜8の上部表面を覆うように層間絶縁膜17が形成されている。層間絶縁膜17上には、MRAMセル部のストラップ20 a、20 bと同一レイヤからなる導電体膜20 cが形成されている。導電体膜20 c上には、TMRセル21 a、21 cと同一レイヤからなるTMRセルダミー21 c ~ 21 gが形成されている。導電体膜20 c上には、TMRセルダミー21 c ~ 21 gを埋込むように層間絶縁膜22が形成されている。層間絶縁膜22の上部表面においてはTMRセルダミー21 c ~ 21 gの上部表面が露出している。

50



## 【0089】

層間絶縁膜22上には層間絶縁膜34が形成されている。層間絶縁膜34上には層間絶縁膜26が形成されている。層間絶縁膜26の上部表面には配線用溝27cが形成されている。配線用溝27cの内壁上にはバリアメタル膜28cが形成されている。バリアメタル膜28c上には配線用溝27cの内部を充填するように導電体29cが形成されている。バリアメタル膜28cおよび導電体29cからなる配線は、MRAMセル部のバリアメタル膜28a、28bおよび導電体29a、29bからなる配線と同一レイヤからなる。

## 【0090】

層間絶縁膜26上には層間絶縁膜30が形成されている。層間絶縁膜30の上部表面には配線用溝31bが形成されている。配線用溝31bの内壁面上にはバリアメタル膜32bが形成されている。バリアメタル膜32b上には配線用溝31bの内部を充填するように導電体33bが形成されている。バリアメタル膜32bおよび導電体33bからなる配線は、MRAMセル部のバリアメタル膜32aおよび導電体33aからなる配線と同一レイヤからなる。

## 【0091】

導電体33b上には、層間絶縁膜30の上部表面を覆うように層間絶縁膜41が形成されている。層間絶縁膜41の上部表面には配線用溝42bが形成されている。配線用溝42bの内壁面上にはバリアメタル膜43bが形成されている。バリアメタル膜32b上には配線用溝42bの内部を充填するように導電体44bが形成されている。

## 【0092】

この発明に従った不揮発性記憶装置の一例である図12に示した半導体装置の特徴的な構成を要約すると、半導体装置は、基板としての半導体基板1上において、メモリセルとしてのMRAMセルが形成されたメモリセル部(MRAMセル部)と、ロジック回路が形成されたロジック部とを備える。ロジック部は、バリアメタル膜11eおよび導電体12eからなる第1配線としての配線と、バリアメタル膜28cおよび導電体29cからなる第2配線としての配線とを含む。第1配線としての配線は半導体基板1上に形成される。第2配線としての配線は第1配線としての配線の上層に、ロジック回路を構成する導電体層以外の層(層間絶縁膜17、22、34、26およびTMRセルダミー21c~21g)のみを介して形成されている。

## 【0093】

MRAMセル部は、バリアメタル膜11b、11cおよび導電体12b、12cからなる第3配線としてのディジット線、バリアメタル膜28a、28bおよび導電体29a、29bからなる第4配線としての上部配線、メモリ素子としてのTMRセル21a、21b、および導電体層としての、バリアメタル膜24aと導電体25aとからなるビット線とストラップ20a、20bとを含む。なお、導電体層としては上述したものに限られず、たとえば図1に示したバリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線など、他の導電体であってもよい。第3配線としてのディジット線は第1配線としての配線と同一レイヤにより構成される。第4配線としての上部配線は第2配線としての配線と同一レイヤにより構成される。TMRセル21a、21b、ビット線およびストラップ20a、20bは、ディジット線と上部配線との間に形成される。TMRセル21a、21b、ビット線およびストラップ20a、20bはメモリセルを構成する要素である。すなわち、図12に示した半導体装置における上記導電体層は、第3配線としてのディジット線と第4配線としての上部配線との間に形成され、TMRセル21a、21bと接続された第5配線としてのビット線を含む。

## 【0094】

このように、図12に示した半導体装置では、バリアメタル膜11a~11eと導電体12a~12eとからなる配線層と、バリアメタル膜28a~28cおよび導電体29a~29cからなる配線層との間にストラップ20a、20b、TMRセル21a、21bおよびバリアメタル膜24aと導電体25aとからなるビット線としての配線を配置しているので、このビット線としてのバリアメタル膜24aおよび導電体25aからなる配線よ

10

20

30

40

50

りも上層に位置する配線（バリアメタル膜28a～28cおよび導電体29a～29cからなる配線、バリアメタル膜32a、32bおよび導電体33a、33bからなる配線、さらにバリアメタル膜43a、43bおよび導電体44a、44bからなる配線）をロジック部のロジック回路を構成する配線層として割当てることができる。この結果、図1に示した半導体装置のようにMRAMのメモリセルを構成するビット線として、ロジック部の配線層と同一レイヤによって構成されるバリアメタル膜24a（図1参照）および導電体25a（図1参照）からなる配線を利用する場合よりも、上述した上層に位置する配線をそのままロジック部を構成する配線（たとえば、低抵抗化用の杭打ち配線選択線など）に利用できる。

#### 【0095】

より具体的に、図12に示した半導体装置では、層間絶縁膜4の上部表面にいわゆるダマシン法を用いて形成された最下層の配線層（バリアメタル膜6b、26cおよび導電体プラグ7b、7cからなる配線）をソース線として利用している。そして、2層目の配線層であるバリアメタル膜11b、11cおよび導電体12b、12cからなる配線をディジット線として利用している。この2層目の配線層と3層目の配線層（バリアメタル膜28a、28bおよび導電体29a、29bからなる配線）との間にビット線（バリアメタル膜24aと導電体25aとからなる配線）を形成することにより、3層目の配線層であるバリアメタル膜28a、28bおよび導電体29a、29bからなる配線と、4層目の配線層であるバリアメタル膜32aおよび導電体33aとからなる配線とをワード線の低抵抗化杭打ち配線選択線として利用することができる。つまり、MRAMセルに必要なビット線（バリアメタル膜24aと導電体25aとからなる配線）を上述した3層目の配線と4層目の配線との間に新たに形成するので、MRAMセルを実現するために必要な配線（ビット線）をロジック部において用いられる配線層と同じ配線層（たとえば4層目の配線）を用いて実現する場合よりも必要な配線層数を削減できる。

#### 【0096】

また、図12に示した半導体装置において、メモリ素子としてのTMRセル21a、21bは磁気抵抗効果素子を含む素子である。このため、TMRセル21a、21bを上部配線とディジット線との間に配置することで、図12に示すように、TMRセル21a、21bと、バリアメタル膜11b、11cおよび導電体12b、12cからなる配線（TMRセル21a、21bの書込みに利用する磁場を発生させるための配線であるディジット線）との間の距離を十分小さくできる。したがって、必要な磁場発生電流（ディジット線に流す電流）の値を小さくできる。また、上述したディジット線とビット線としてのバリアメタル膜24aと導電体25aとからなる配線層との間の距離も小さくできる。

#### 【0097】

図13～図18は、図12に示した半導体装置の製造方法を説明するための断面模式図である。図13～図18を参照して、図12に示した半導体装置の製造方法を説明する。

#### 【0098】

まず、本発明の実施の形態1による半導体装置の製造方法における図2に示した工程を実施する。その後、層間絶縁膜8（図13参照）の上部表面上に相対的に薄い膜厚を有する層間絶縁膜17（図13参照）を形成する。層間絶縁膜17上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして、層間絶縁膜17を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、層間絶縁膜17において、導電体12a、12d（図13参照）上に位置する領域に開口部18a、18b（図13参照）が形成される。その後、開口部18a、18bの内部から層間絶縁膜17の上部表面上を覆うように導電体膜20（図13参照）を形成する。このようにして、図13に示すような構造を得る。

#### 【0099】

次に、導電体膜20上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとしてエッチングにより導電体膜20を部分的に除去する。その後レジスト膜を除去する。この結果、ストラップ20a、20b（図14参照）およびロジック領域の導電体膜

20c (図14参照) が形成される。そして、ストラップ20a、20bおよび導電体膜20c上にTMRセル21a、21b (図12参照) およびTMRセルダミー21a~21g (図12参照) となるべき積層膜21 (図14参照) を形成する。このようにして、図14に示すような構造を得る。

【0100】

次に、積層膜21上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして用いて、積層膜21を部分的にエッチングにより除去する。その後レジスト膜を除去する。その結果、図15に示すようにTMRセル21a、21bおよびTMRセルダミー21c~21gを形成できる。

【0101】

次に、TMRセル21a、21bおよびTMRセルダミー21c~21g上に層間絶縁膜22を形成する。このようにして、図16に示すような構造を得る。

【0102】

次に、CMP法を用いて層間絶縁膜22 (図16参照) の表面層を平坦化しながら研磨することにより除去する。このCMP法による研磨では、層間絶縁膜22の上部表面においてTMRセル21a、21bおよびTMRセルダミー21c~21gの上部表面が露出するまで層間絶縁膜22の表面層を除去する。その後、層間絶縁膜22上に層間絶縁膜34 (図17参照) を形成する。層間絶縁膜34上にパターンを有するレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして用いて、層間絶縁膜34を部分的に除去する。その後、レジスト膜を除去する。その結果、MRAMセル部において、TMRセル21a、21bと重なる領域に配線用溝40 (図17参照) を形成する。配線用溝40の底部では、TMRセル21a、21bの上部表面が露出している。

【0103】

次に、この配線用溝40の内壁上から層間絶縁膜34の上部表面上にまで延在するようにバリアメタル膜を形成する。このバリアメタル膜上に、配線用溝40の内部を充填するとともに層間絶縁膜34の上部表面上にまで延在する導電体膜を形成する。その後、CMP法により層間絶縁膜34の上部表面上に位置する導電体膜およびバリアメタル膜を除去する。この結果、図17に示すように、配線用溝40の内部に形成されたバリアメタル膜24aと導電体25aとからなる配線を得ることができる。このバリアメタル膜24aと導電体25aとからなる配線はビット線として利用される。

【0104】

次に、導電体25aおよび層間絶縁膜34の上部表面上に層間絶縁膜26 (図18参照) を形成する。層間絶縁膜26の上部表面上にパターンを有するレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして用いて、層間絶縁膜26を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、層間絶縁膜26において配線用溝27a~27c (図18参照) を形成する。なお、配線用溝27aの底部には、写真製版加工により導電体25aに到達する開口部が形成される。

【0105】

その後、配線用溝27a~27cの内部から層間絶縁膜26の上部表面上にまで延在するようにバリアメタル膜を形成する。このバリアメタル膜上に、配線用溝27a~27cの内部を充填するとともに層間絶縁膜26の上部表面上にまで延在する導電体を形成する。そして、層間絶縁膜26の上部表面上に位置する導電体およびバリアメタル膜をCMP法により除去する。この結果、図18に示すように配線用溝27a~27cの内部にそれぞれ形成されたバリアメタル膜28a~28cと導電体29a~29cとからなる配線層を形成できる。

【0106】

この後、層間絶縁膜26、配線用溝27a~27c、バリアメタル膜28a~28cおよび導電体29a~29cを形成した工程と同様の工程を繰返すことにより、層間絶縁膜30、41 (図12参照)、配線用溝31a、31b、42a、42b (図12参照)、バリアメタル膜32a、32b、43a、43b (図12参照)、導電体33a、33b、

10

20

30

40

50

44a、44b（図12参照）を形成する。このようにして、図12に示した半導体装置を得ることができる。

【0107】

なお、上述した実施の形態2では、本発明による不揮発性記憶装置の例として、MRAMセルとロジック回路とを混載した半導体装置を用いて説明しているが、本発明は不揮発性記憶装置であればどのような装置にも適用可能である。

【0108】

（実施の形態3）

図19は、本発明による半導体装置の実施の形態3を示す断面模式図である。図19を参照して、本発明による半導体装置の実施の形態3を説明する。

10

【0109】

図19に示すように、半導体装置はMRAMセル部とロジック部とを備える半導体装置であって、基本的に図1に示した本発明による半導体装置の実施の形態1と同様の構造を備える。但し、図19に示した半導体装置においては、ロジック部の層間絶縁膜4、8、13における構造が図1に示した半導体装置の当該部分の構造と異なる。なお、MRAMセル部の構造は図1に示した半導体装置のMRAMセル部の構造と同様である。

【0110】

図19に示した半導体装置のロジック部においては、半導体基板1の主表面に形成されたソース／ドレイン領域2e上に位置する部分において、コンタクトホール5eの上部に配線用溝が形成されている。この配線用溝およびコンタクトホール5eの内部では、その内壁面上にバリアメタル膜6eが形成されている。このバリアメタル膜6e上に、配線用溝とコンタクトホール5eとの内部を充填するように導電体プラグ7eが形成されている。この配線用溝の内部に形成された導電体プラグ7eおよびバリアメタル膜6eからなる配線は、図19の紙面に垂直な方向に延在するように形成されている。

20

【0111】

また、図1に示した半導体装置においては配線用溝10e、バリアメタル膜11eおよび導電体12eが形成されていたが、図19に示した半導体装置においては、層間絶縁膜8に配線用溝、バリアメタルおよび導電体は形成されていない。そして、ロジック部の層間絶縁膜13には、MRAMセル部のバリアメタル膜15a～15dおよび導電体16a～16dと同一レイヤからなる配線層が形成されている。具体的には、層間絶縁膜13のロジック部には配線用溝14e、14fが形成されている。配線用溝14e、14fの内壁上にはバリアメタル膜15e、15fが形成されている。バリアメタル膜15e、15f上には、配線用溝14e、14fの内部を充填するように導電体16e、16fが形成されている。バリアメタル膜15e、15fおよび導電体16e、16fからダミー配線が形成される。また、導電体16e上に位置する領域においては、層間絶縁膜17に開口部18cが形成されている。開口部18cの内部から層間絶縁膜17の上部表面上にまで延在するように導電体膜20cが形成されている。

30

【0112】

図19に示した半導体装置によっても、図1に示した半導体装置により得られる効果と同様の効果を得ることができる。

40

【0113】

また、図19に示した磁気記憶装置の一例としての半導体装置における特徴的な構造を要約すると、半導体装置は、図1に示した半導体装置のMRAMセル部と同様の構造を備え、とともに、バリアメタル膜15e、15fおよび導電体16e、16fからなるダミー配線をさらに備える。ダミー配線は、基板としての半導体基板1上において、MRAMセル部以外の領域であるロジック部に形成される。ダミー配線は、バリアメタル膜15b、15cおよび導電体16b、16cからなる第2の配線層と同一レイヤにより構成される。

【0114】

このように、ロジック部において、MRAMセル部に形成されたバリアメタル膜15a～

50

15dと導電体16a～16dとからなる配線と同一レイヤからなる配線としてバリアメタル膜15e、15fおよび導電体16e、16fからなる配線(ダミー配線)を形成することで、後述する製造工程におけるCMP法などの研磨工程において、MRAMセル部に比べてロジック部が過剰に研磨されるといった問題の発生を抑制できる。すなわち、MRAMセル部とロジック部との境界部における形状段差の発生を抑制できる。

【0115】

図20～図29は、図19に示した半導体装置の製造方法を説明するための断面模式図である。図20～図29を参照して、図19に示した半導体装置の製造方法を説明する。

【0116】

まず、本発明による半導体装置の実施の形態1の製造方法における図2に示した工程と同様の工程を用いて、半導体基板1(図20参照)の主表面上に電界効果トランジスタや層間絶縁膜4(図20参照)、さらにコンタクトホール5a～5f(図20参照)、バリアメタル膜6a～6f(図20参照)および導電体プラグ7a～7f(図20参照)を形成する。なお、このときコンタクトホール5b、5c、5e、5fの上部には配線用溝を形成しておく。このため、コンタクトホール5b、5c、5eおよび5fの上部には図20の紙面に垂直な方向に延在するダマシン配線が形成された状態となる。

【0117】

次に、層間絶縁膜4上に層間絶縁膜8(図20参照)を形成する。そして、図2に示した方法と同様の方法を用いて、層間絶縁膜8においてスルーホール9a、9b、配線用溝10a～10d、バリアメタル膜11a～11dおよび導電体12a～12dを形成する。このようにして、図20に示すような構造を得る。

【0118】

次に、層間絶縁膜8上に層間絶縁膜13(図21参照)を形成する。この層間絶縁膜13上にパターンを有するレジスト膜(図示せず)を形成する。このレジスト膜をマスクとして用いて、層間絶縁膜13をエッチングにより部分的に除去する。その後、レジスト膜を除去する。この結果、層間絶縁膜13において配線用溝14a～14f(図21参照)を形成できる。そして、配線用溝14a～14fの内部表面上から層間絶縁膜13の上部表面上にまで延在するようにバリアメタル膜15(図21参照)を形成する。このバリアメタル膜15上に導電体16(図21参照)を形成する。このようにして、図21に示すような構造を得る。なお、導電体16として銅(Cu)を用いる場合、めっき法を用いて導電体16を形成してもよい。

【0119】

次に、層間絶縁膜13の上部表面上に位置するバリアメタル膜15(図21参照)および導電体16をCMP法により除去する。この結果、図22に示すような構造を得る。

【0120】

このとき、ロジック部においてはMRAMセル部と同様に配線用溝14a、14fが形成され、その内部にバリアメタル膜15(図21参照)および導電体16(図21参照)が充填された状態となっているので、CMP法による研磨条件をMRAMセル部とロジック部とではほぼ近似した状態に保つことができる。このため、上述したCMP法の際に、MRAMセル部とロジック部とにおいて、層間絶縁膜13の上部表面に段差が発生するといった問題の発生を抑制できる。

【0121】

すなわち、ロジック部において配線用溝14a、14f、バリアメタル膜15および導電体16を形成しておくことにより、CMP法によるロジック部での研磨スピードをMRAMセル部における研磨スピードとほぼ等しくすることができる。この結果、MRAMセル部とロジック部との間で形状的段差の発生を回避できる。そして、このように形状的段差の発生を回避できれば、その段差部における配線のショートや配線の断線、あるいはコンタクトホールの開口不良などの発生確率を低減できる。この結果、製造される半導体装置における不良の発生確率を低減できるので半導体装置の信頼性を向上させることができる。とともに、生産性および歩留りを向上することができる。

## 【0122】

図22に示した工程の後、層間絶縁膜13（図23参照）の上部表面上に厚さの相対的に薄い層間絶縁膜17（図23参照）を形成する。層間絶縁膜17上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、層間絶縁膜17をエッチングにより部分的に除去する。その後、レジスト膜を除去する。その結果、層間絶縁膜17においては、導電体16a、16d、16e上に位置する領域にそれぞれ開口部18a～18c（図23参照）を形成できる。このようにして、図23に示すような構造を得る。

## 【0123】

次に、層間絶縁膜17の上部表面上にストラップ20a、20b（図24参照）および導電体膜20c（図24参照）となるべき導電体膜を形成する。この導電体膜上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、導電体膜をエッチングにより部分的に除去する。その後、レジスト膜を除去する。この結果、MRAMセルを構成するストラップ20a、20b（図24参照）およびロジック部の導電体膜（図24参照）を形成できる。ストラップ20a、20bは、それぞれ開口部18a、18bを介して導電体16a、16dと電氣的に接続されている。また、導電体膜20cは、開口部18cを介して導電体16eと電氣的に接続されている。このようにして、図24に示すような構造を得る。

## 【0124】

次に、図7に示した工程と同様の工程を実施することにより、TMRセル21a、21b（図25参照）およびTMRセルダミー21c～21g（図25参照）を形成する。この結果、図25に示すような構造を得る。

## 【0125】

次に、図8に示した工程と同様の工程を実施することにより、図26に示すように、TMRセル21a、21bおよびTMRセルダミー21c～21g上に層間絶縁膜22を形成する。

## 【0126】

次に、CMP法を用いて層間絶縁膜22の表面層を部分的に除去する。このCMP法では、TMRセル21a、21bおよびTMRセルダミー21c～21gの上部表面が露出するまで層間絶縁膜22を除去する。その後、層間絶縁膜22の上部表面上に層間絶縁膜34（図27参照）を形成する。そして、層間絶縁膜34の上部表面をCMP法により平坦化処理する。このとき、ロジック部においてダミー構造体としてのバリアメタル膜15e、15fおよび導電体16e、16fからなるダミー配線およびTMRセルダミー21c～21gが形成されているので、層間絶縁膜34におけるCMP法による研磨後の厚みは、MRAMセル部とロジック部とにおいて殆ど同等の厚さとなっている。すなわち、MRAMセル部とロジック部とにおいて層間絶縁膜34の上部表面に形状的な段差部が形成されることを抑制できる。このようにして、図27に示すような構造を得る。

## 【0127】

次に、層間絶縁膜34の上部表面上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして、層間絶縁膜34を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、TMRセル21a、21b（図28参照）上に位置する領域に配線用溝23a（図28参照）が形成される。配線用溝23aの底部では、TMRセル21a、21bの上部表面が露出している。この配線用溝23aの内壁上から層間絶縁膜34の上部表面上にまで延在するようにバリアメタル膜24（図28参照）を形成する。その後、バリアメタル膜24上に、配線用溝23aの内部を充填するとともに層間絶縁膜34の上部表面上にまで延在する導電体25（図28参照）を形成する。このようにして、図28に示すような構造を得る。

## 【0128】

次に、CMP法を用いて、層間絶縁膜34の上部表面上に位置するバリアメタル膜24（図28参照）および導電体25（図28参照）を除去する。この結果、図29に示すよう

な構造を得る。図29に示すように、配線用溝23aの内部には、バリアメタル膜24aと導電体25aとからなるビット線としての配線が形成された状態となっている。

#### 【0129】

この後、本発明の実施の形態1における層間絶縁膜26、30、配線用溝27a~27c、31a、31b、バリアメタル膜28a~28c、32a、32b、導電体29a~29c、33a、33bの形成工程と同様の工程を実施することにより、図19に示すような半導体装置を得ることができる。

#### 【0130】

##### (実施の形態4)

図30は、本発明による半導体装置の実施の形態4を示す断面模式図である。図30を参照して、本発明による半導体装置の実施の形態4を説明する。 10

#### 【0131】

図30に示すように、半導体装置はMRAMセル部とロジック部とを備える。図30に示した半導体装置のMRAMセル部の構造は、基本的に本発明の実施の形態3に示した半導体装置のMRAMセル部と同様であるが、TMRセル21a、21b上に電氣的に接続されたビット線の構造が異なる。図30に示した半導体装置では、ビット線が2本のダマシン配線を積層した積層配線となっている。

#### 【0132】

具体的には、図30に示したMRAMセル部では、TMRセル21a、21b上に層間絶縁膜34が形成されている。この層間絶縁膜34にはTMRセル21a、21bの上部表面を露出させる配線用溝23aが形成されている。配線用溝23aの内壁面上にはバリアメタル膜24aが形成されている。配線用溝23aの内部を充填するように、バリアメタル膜24a上に導電体25aが形成されている。そして、この導電体25aおよび層間絶縁膜34の上には層間絶縁膜50が形成されている。 20

#### 【0133】

この層間絶縁膜50には、バリアメタル膜24aおよび導電体25aからなる配線上に位置する領域において、配線用溝51が形成されている。配線用溝51の底部では、導電体25aが露出している。配線用溝51の内壁面上にはバリアメタル膜52が形成されている。バリアメタル膜52上には配線用溝51の内部を充填するように導電体53が形成されている。このバリアメタル膜24aと導電体25aとからなる下層ダマシン配線と、バリアメタル膜52と導電体53とからなる上層ダマシン配線とから積層構造のビット線が構成されている。なお、上層ダマシン配線は、少なくともTMRセル21a、21b上に位置する領域において形成されていなければならない。また、上層ダマシン配線はTMRセル21a、21bが形成されていない領域では部分的に形成されていない。 30

#### 【0134】

また、図30に示した半導体装置のロジック部の構造は、基本的に図19に示した本発明による半導体装置の実施の形態3におけるロジック部の構造と同様であるが、図19に示した半導体装置のロジック部における層間絶縁膜34と層間絶縁膜26との間に、図30に示した半導体装置では層間絶縁膜50が形成されているという点が異なる。図30に示した半導体装置によれば、本発明による半導体装置の実施の形態3に示した構造による効果と同様の効果を得られる。 40

#### 【0135】

また、この発明に従った磁気記憶装置の一例として図30に示した半導体装置の特徴的な構成を要約すれば、半導体装置は、メモリ素子として動作する磁気抵抗効果素子であるTMRセル21a、21bと、TMRセル21a、21bと接触するように配置された配線としてのビット線（バリアメタル膜24aと導電体25aとからなる第1の配線層としての下層ダマシン配線と、バリアメタル膜52と導電体53とからなる第2の配線層としての上層ダマシン配線とから構成される積層構造のビット線）とを備える。積層構造のビット線において、TMRセル21a、21bと対向する部分の厚みは、TMRセル21a、21bと対向する部分以外の部分の厚みより厚い。つまり、配線としての積層構造のビッ 50

ト線は、第1の配線層としての下層ダマシン配線と、第2の配線層としての上層ダマシン配線とを含む。上層ダマシン配線は、下層ダマシン配線のうちTMRセル21a、21bと重なる領域上に積層されている。

【0136】

このような構成によれば、MRAMセル部のビット線において、TMRセル21a、21b上に位置する部分のビット線（下層ダマシン配線と上層ダマシン配線との2層からなる積層構造のビット線）の厚みを厚くすることができる。この結果、ビット線の抵抗を低減することができる。このため、ビット線へと流す電流の値を小さくすることができるとともに、ビット線における電気抵抗に起因する電位降下を小さくできる。この結果、ビット線へ電流を流すためのドライバトランジスタのチャネル幅を小さくすることができる。この結果、半導体装置の微細化、高集積化を図ることが可能になる。

10

【0137】

また、下層ダマシン配線の上に上層ダマシン配線を積層するので、後述する製造方法からも明らかなように、下層ダマシン配線と上層ダマシン配線とを同様の工程を実施することにより容易に形成できる。

【0138】

図31～図35は、図30に示した半導体装置の製造方法を説明するための断面模式図である。図31～図35を参照して、本発明による半導体装置の実施の形態4の製造方法を説明する。

【0139】

まず、図20～図29に示した製造工程を実施した後、層間絶縁膜34（図31参照）の上部表面上に層間絶縁膜50（図31参照）を形成する。この結果、図31に示すような構造を得る。

20

【0140】

次に、層間絶縁膜50の上部表面上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして、層間絶縁膜50を部分的に除去する。その後レジスト膜を除去する。この結果、図32に示すように、導電体25a上に配線用溝51を形成する。配線用溝51の底部では、導電体25aが露出している。

【0141】

次に、配線用溝51の内壁面上から層間絶縁膜50の上部表面上にまで延在するようにバリアメタル膜52（図33参照）を形成する。また、このバリアメタル膜52上に、配線用溝51の内部を充填するとともに層間絶縁膜50の上部表面上にまで延在する導電体53を形成する。この結果、図33に示すような構造を得る。

30

【0142】

次に、CMP法を用いて、層間絶縁膜50の上部表面上に位置する導電体53およびバリアメタル膜52を除去する。その結果、図34に示すように、配線用溝51の内部において、バリアメタル膜52と導電体53とからなる上層ダマシン配線を形成できる。このようにして、バリアメタル膜24aと導電体25aとからなる下層ダマシン配線と上述した上層ダマシン配線とから構成される積層構造のビット線を形成できる。

【0143】

次に、層間絶縁膜50上に層間絶縁膜26（図35参照）を形成する。層間絶縁膜26上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして層間絶縁膜26を部分的にエッチングにより除去する。その後レジスト膜を除去する。この結果、層間絶縁膜26の上部表面に配線用溝27a～27c（図35参照）を形成できる。そして、配線用溝27a～27cの内壁面上から層間絶縁膜26の上部表面上にまで延在するようにバリアメタル膜を形成する。このバリアメタル膜上に、配線用溝27a～27cの内部を充填するとともに、層間絶縁膜26の上部表面上にまで延在する導電体を形成する。そして、CMP法を用いて、層間絶縁膜26の上部表面上に位置するバリアメタル膜および導電体を除去する。この結果、図35に示すように、配線用溝27a～27cの内部に、バリアメタル膜28a～28cおよび導電体29a～29cからなるダマシン配線を形成

40

50



できる。このようにして、図 3 5 に示すような構造を得る。

【0144】

その後、層間絶縁膜 2 6、配線用溝 2 7 a ~ 2 7 c、バリアメタル膜 2 8 a ~ 2 8 c および導電体 2 9 a ~ 2 9 c を形成した工程と同様の工程を実施することにより、層間絶縁膜 3 0 (図 3 0 参照)、配線用溝 3 1 a、3 1 b (図 3 0 参照)、バリアメタル膜 3 2 a、3 2 b (図 3 0 参照) および導電体 3 3 a、3 3 b (図 3 0 参照) を形成する。このようにして、図 3 0 に示した半導体装置を得ることができる。

【0145】

(実施の形態 5)

図 3 6 は、本発明による半導体装置の実施の形態 5 を示す断面模式図である。図 3 6 を参照して、本発明による半導体装置の実施の形態 5 を説明する。 10

【0146】

図 3 6 に示した半導体装置は、基本的には図 1 9 に示した半導体装置と同様の構造を備えるが、バリアメタル膜 2 4 a および導電体 2 5 a からなるビット線と TMR セル 2 1 a、2 1 b との接続部の構造が異なる。すなわち、図 3 6 に示した半導体装置では、MRAM セル部において、バリアメタル膜 2 4 a および導電体 2 5 a からなるビット線としての配線が配置された配線用溝 2 3 a において、TMR セル 2 1 a、2 1 b 上に位置する領域に、テーパー状の側壁を有する凹部 6 0 a、6 0 b が形成されている。この凹部 6 0 a、6 0 b の底部においては、TMR セル 2 1 a、2 1 b の上部表面が露出した状態となっている。そして、バリアメタル膜 2 4 a は、配線用溝 2 3 a の底壁から凹部 6 0 a、6 0 b の内部にまで延在するように形成されている。また、導電体 2 5 a は、配線用溝 2 3 a の内部および凹部 6 0 a、6 0 b の内部を充填するように形成されている。 20

【0147】

この発明に従った磁気記憶装置の一例として図 3 6 に示した半導体装置の特徴的な構成を要約すれば、半導体装置は、メモリ素子として動作する磁気抵抗効果素子としての TMR セル 2 1 a、2 1 b と、TMR セル 2 1 a、2 1 b と接触するように配置された配線 (バリアメタル膜 2 4 a および導電体 2 5 a からなるビット線としての配線) を備える。配線において、TMR セル 2 1 a、2 1 b と対向する部分 (凹部 6 0 a、6 0 b が形成された部分) の厚みは、TMR セル 2 1 a、2 1 b と対向する部分以外の部分 (凹部 6 0 a、6 0 b が形成された部分以外の部分) の厚みより厚い。つまり、配線は、第 1 の配線層としての配線用溝 2 3 a の内部に形成されたバリアメタル膜 2 4 a および導電体 2 5 a からなる配線部分と、導電体膜としての凹部 6 0 a、6 0 b 内部に配置されたバリアメタル膜 2 4 a および導電体 2 5 a からなる配線部分とを含む。 30

【0148】

配線用溝 2 3 a の内部に配置された第 1 の配線層としての配線部分は、TMR セル 2 1 a、2 1 b と絶縁膜としての層間絶縁膜 3 4 を介して対向するように配置されている。凹部 6 0 a、6 0 b の内部に配置された導電体膜としての配線部分は、層間絶縁膜 3 4 において第 1 の配線層としての配線部分と TMR セル 2 1 a、2 1 b との間に位置する領域に形成された開口部としての凹部 6 0 a、6 0 b を充填する。凹部 6 0 a、6 0 b の内部に配置された導電体膜としての配線部分は、配線用溝 2 3 a の内部に配置された第 1 の配線層としての配線部分と TMR セル 2 1 a、2 1 b とを電氣的に接続する。 40

【0149】

このようにしても、TMR セル 2 1 a、2 1 b 上に位置する領域におけるビット線の厚みを厚くすることができる。このため、TMR セル 2 1 a、2 1 b 上に位置する領域における、バリアメタル膜 2 4 a および導電体 2 5 b からなるビット線の電気抵抗を低減できるので、ビット線全体としての電気抵抗を低減することができる。この結果、本発明の実施の形態 4 による半導体装置と同様の効果を得ることができる。つまり、ビット線駆動ドライバを構成するトランジスタのサイズを小さくすることができる。これは、ビット線の電気抵抗が小さくなることに起因して、ビット線に流れる電流の電位降下が小さくなるので、ビット線駆動ドライバを構成するトランジスタのソース/ドレイン領域に印加される電 50

位を大きくできるためである。

【0150】

また、TMRセル21a、21b上に位置する領域においては、ビット線を通る電流の経路の中心位置が、TMRセル21a、21b上に位置する領域以外の領域における中心位置よりも、TMRセル21a、21bに近い側へとずれることになる。このため、ビット線電流の中心部位からTMRセル21a、21bまでの距離が小さくなる。この結果、ビット線電流により発生する磁場のうち、TMRセル21a、21bに作用する磁場の強度の減衰を小さくすることができる。

【0151】

図37～図42は、図36に示した半導体装置の製造方法を説明するための断面模式図である。図37～図42を参照して、図36に示した半導体装置の製造方法を説明する。

【0152】

まず、図20～図27に示した製造工程を実施する。なお、図25に示したTMRセル21a、21bを形成する工程がメモリ素子として動作する磁気抵抗効果素子を形成する工程に対応する。また、図27に示した層間絶縁膜34を形成する工程が磁気抵抗効果素子（TMRセル21a、21b）上に絶縁膜（層間絶縁膜34）を形成する工程に対応する。その後、層間絶縁膜34（図37参照）の上部表面上にパターンを有するレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして層間絶縁膜34を部分的にエッチングにより除去する。その後レジスト膜を除去する。その結果、図37に示すように、層間絶縁膜34においてTMRセル21a、21b上に位置する領域にビアホール61a、61bを形成できる。このビアホール61a、61bを形成する工程が、絶縁膜（層間絶縁膜34）に、TMRセル21a、21bの表面の一部を露出させる開口部を形成する工程に対応する。なお、このビアホール61a、61bの底壁の面積は、TMRセル21a、21bの上部表面を部分的に露出できる程度であればよい。また、図37に示すように、ビアホール61a、61bの位置は、TMRセル21a、21bと少なくともその一部が重なるような位置であればよい（ある程度TMRセル21a、21bからずれていてもよい）。

【0153】

次に、等方性エッチングとしてのウェットエッチングを用いて、ビアホール61a、61b（図37参照）の側壁面を除去する。この結果、図38に示すように、TMRセル21a、21b上に位置する領域において、層間絶縁膜34にテーパ状の側壁を有する凹部60a、60bが形成される。この凹部60a、60bを形成する工程が、等方性エッチングにより開口部としてのビアホール61a、61bの幅を広げる工程に対応する。なお、このウェットエッチングの処理時間やエッチング液の種類および濃度などのエッチング条件を変更することにより、凹部60a、60bの側壁のテーパ角度（半導体基板1の主表面に対する側壁の傾き角度）を適宜変化させることができる。また、このようにテーパ状の側壁を有する凹部60a、60bを形成することによって、後述する導電体の埋込やバリアメタル膜の形成において、凹部60a、60bの内部に空隙などが形成されることなくバリアメタル膜や導電体を形成することができる。

【0154】

次に、層間絶縁膜34の上部表面上にパターンを有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして用いて、層間絶縁膜34を部分的にエッチングにより除去する。この後レジスト膜を除去する。この結果、図39に示すように、TMRセル21a、21b上に重なる領域に配線用溝23aが形成される。

【0155】

次に、図40に示すように、凹部60a、60b、配線用溝23aの内部から層間絶縁膜34の上部表面上にまで延在するようにバリアメタル膜24を形成する。

【0156】

次に、図41に示すように、バリアメタル膜上に、凹部60a、60b、配線用溝23aの内部を充填するとともに層間絶縁膜34の上部表面上にまで延在する導電体25を形成

する。

【0157】

次に、CMP法を用いて、層間絶縁膜34の上部表面上に位置する導電体25（図41参照）およびバリアメタル膜24（図41参照）を除去する。その結果、図42に示すように、配線用溝23aおよび凹部60a、60bの内部に配置されたバリアメタル膜24aおよび導電体25aからなるビット線としての配線を形成することができる。このバリアメタル膜24aおよび導電体25aからなるビット線としての配線を形成する工程が、幅の広がった開口部（凹部60a、60b）の内部において、TMRセル21a、21bと接触する導電体（バリアメタル膜24aおよび導電体25aの凹部60a、60b内部に位置する部分）を形成する工程および絶縁膜としての層間絶縁膜34を会してTMRセル21a、21bと対向するとともに、上記導電体に接続された配線層（配線用溝23aの内部に位置するバリアメタル膜24aおよび導電体25aの部分）を形成する工程に対応する。

10

【0158】

その後、図29を参照しながら説明した工程と同様の工程を実施することにより、層間絶縁膜26、30（図36参照）、配線用溝27a～27c、31a、32b（図36参照）、バリアメタル膜28a、28c、32a、32b（図36参照）および導電体29a～29c、33a、33b（図36参照）を形成することにより、図36に示したような半導体装置を容易に得ることができる。

【0159】

なお、上述した実施の形態1、3～5では、本発明による磁気記憶装置の例として、MRAMセルとロジック回路とを混載した半導体装置を用いて説明しているが、本発明は磁気を利用した素子をメモリ素子として用いる装置であれば、どのような磁気記憶装置にも適用可能である。

20

【0160】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0161】

【発明の効果】

このように、本発明によれば、磁気抵抗効果素子に磁場を印加するための配線における電流密度を低減できるので、半導体記憶装置の信頼性を向上させることができる。

30

【図面の簡単な説明】

【図1】本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】図1に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図3】図1に示した半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図4】図1に示した半導体装置の製造方法の第3工程を説明するための断面模式図である。

40

【図5】図1に示した半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図6】図1に示した半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図7】図1に示した半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図8】図1に示した半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図9】図1に示した半導体装置の製造方法の第8工程を説明するための断面模式図であ

50

る。

【図 1 0】図 1 に示した半導体装置の製造方法の第 9 工程を説明するための断面模式図である。

【図 1 1】図 1 に示した半導体装置の製造方法の第 1 0 工程を説明するための断面模式図である。

【図 1 2】本発明による半導体装置の実施の形態 2 を示す断面模式図である。

【図 1 3】図 1 2 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 1 4】図 1 2 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 1 5】図 1 2 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 1 6】図 1 2 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 1 7】図 1 2 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 1 8】図 1 2 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 1 9】本発明による半導体装置の実施の形態 3 を示す断面模式図である。

【図 2 0】図 1 9 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 2 1】図 1 9 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 2 2】図 1 9 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 2 3】図 1 9 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 2 4】図 1 9 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 2 5】図 1 9 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 2 6】図 1 9 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 2 7】図 1 9 に示した半導体装置の製造方法の第 8 工程を説明するための断面模式図である。

【図 2 8】図 1 9 に示した半導体装置の製造方法の第 9 工程を説明するための断面模式図である。

【図 2 9】図 1 9 に示した半導体装置の製造方法の第 1 0 工程を説明するための断面模式図である。

【図 3 0】本発明による半導体装置の実施の形態 4 を示す断面模式図である。

【図 3 1】図 3 0 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 3 2】図 3 0 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 3 3】図 3 0 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 3 4】図 3 0 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 3 5】図 3 0 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

10

20

30

40

50

【図 3 6】本発明による半導体装置の実施の形態 5 を示す断面模式図である。

【図 3 7】図 3 6 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 3 8】図 3 6 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 3 9】図 3 6 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 4 0】図 3 6 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 4 1】図 3 6 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。 10

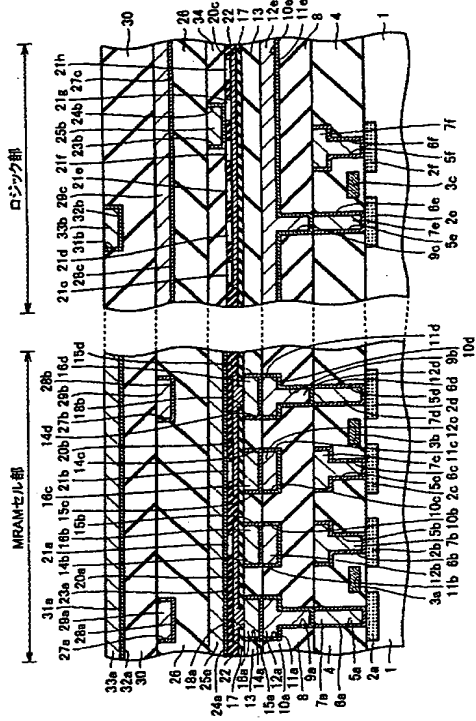
【図 4 2】図 3 6 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 4 3】発明者が検討した本発明に関連する半導体装置を示す断面模式図である。

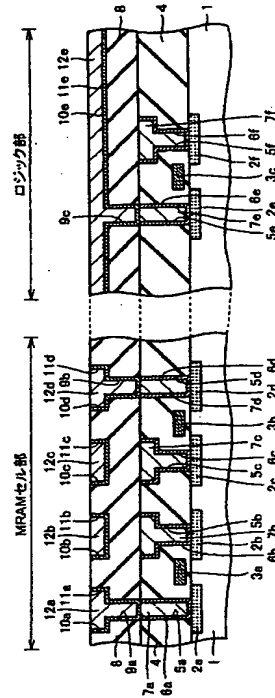
【符号の説明】

1 半導体基板、2 a～2 f ソース／ドレイン領域、3 a～3 c ゲート電極、4, 8, 13, 17, 22, 26, 30, 34, 41, 50 層間絶縁膜、5 a～5 f コンタクトホール、6 a～6 f, 11 a～11 e, 15, 15 a～15 f, 24, 24 a, 24 b, 28 a～28 c, 32 a, 32 b, 43 a, 43 b, 52 バリアメタル膜、7 a～7 f 導電体プラグ、9 a～9 c スルーホール、10 a～10 e, 14 a～14 f, 23 a, 23 b, 27 a～27 c, 31 a, 31 b, 40, 42 a, 42 b, 51 配線用溝、12 a～12 e, 16, 16 a～16 f, 25, 25 a, 25 b, 29 a～29 c, 33 a, 33 b, 44 a, 44 b, 53 導電体、18 a～18 c 開口部、20 a, 20 b ストラップ、20, 20 c 導電体膜、21 積層膜、21 a, 21 b TMRセル、21 c～21 h TMRセルダミー、60 a, 60 b 凹部、61 a, 61 b ビアホール。 20

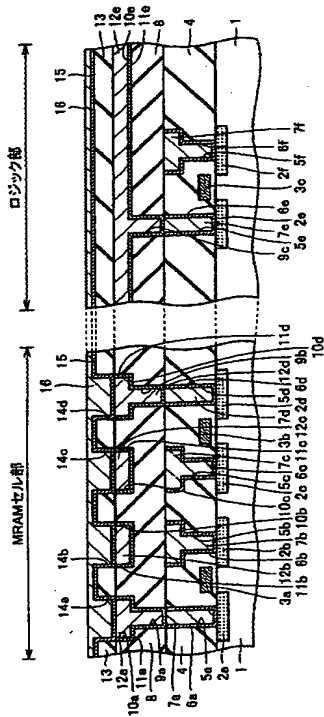
【図 1】



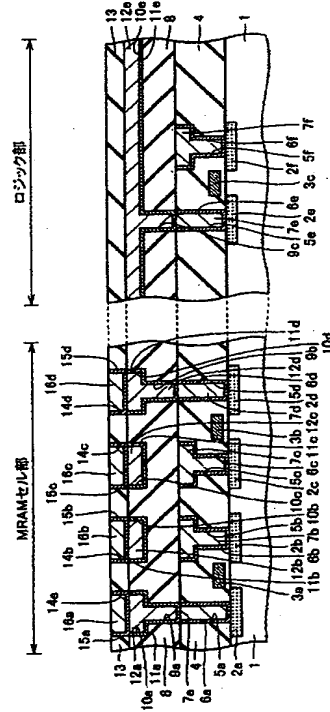
【図 2】



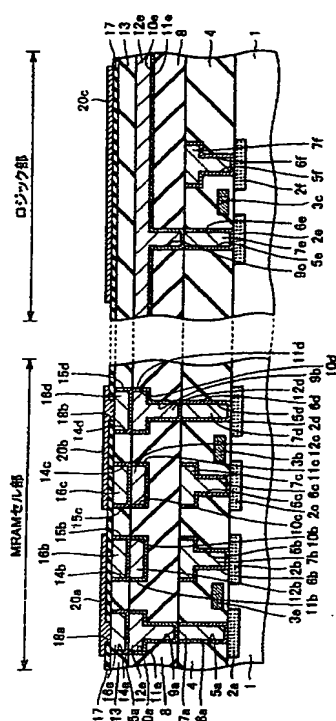
【図 3】



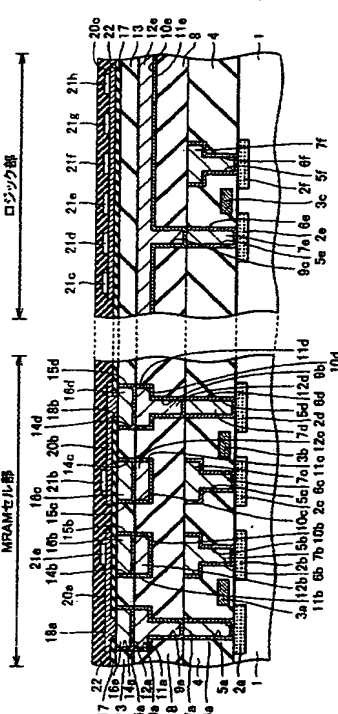
【図 4】



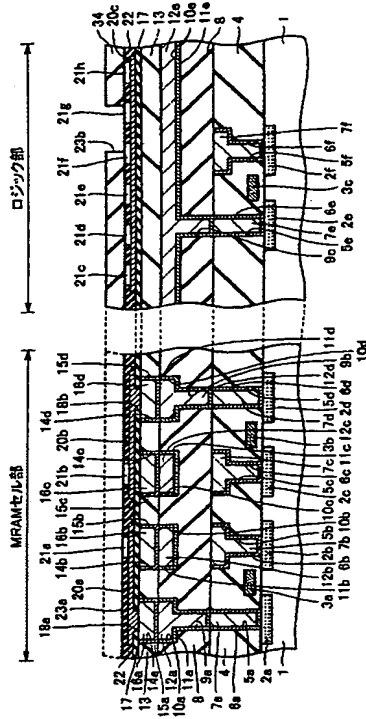
【図 6】



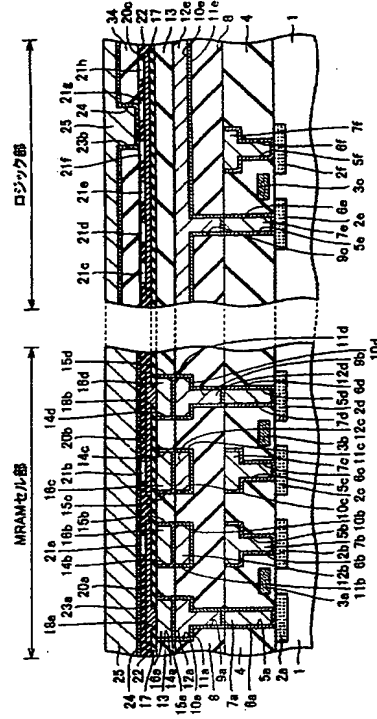
【图 8】



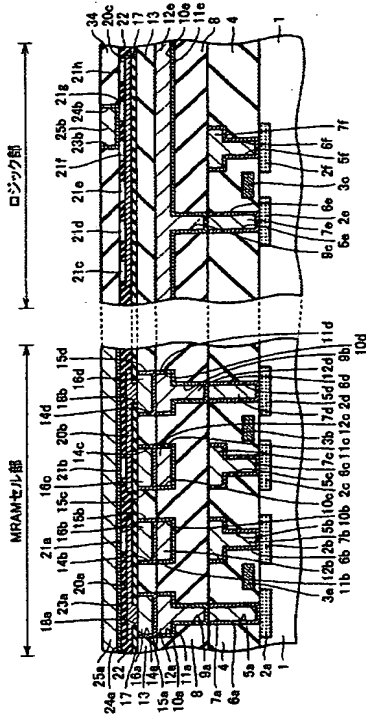
【図 9】



【図 10】

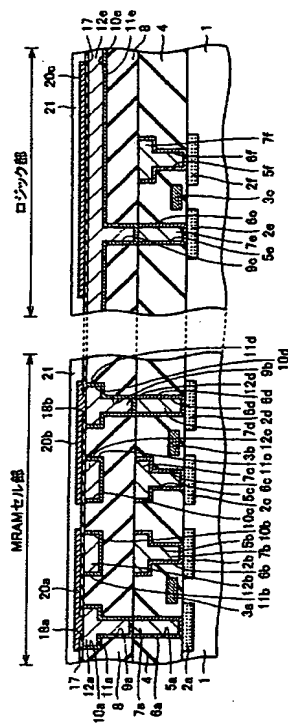


【図 11】

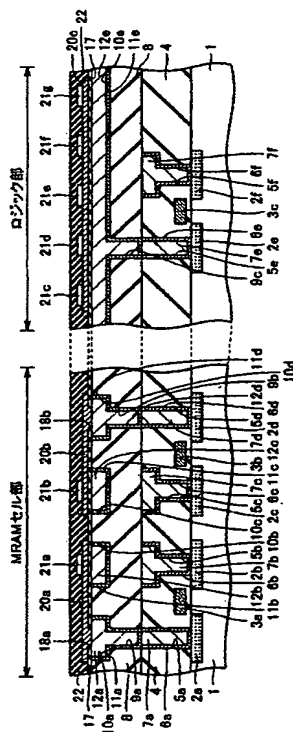




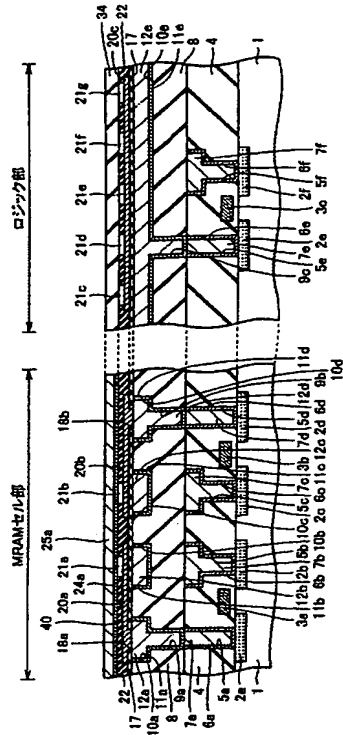
【圖 14】



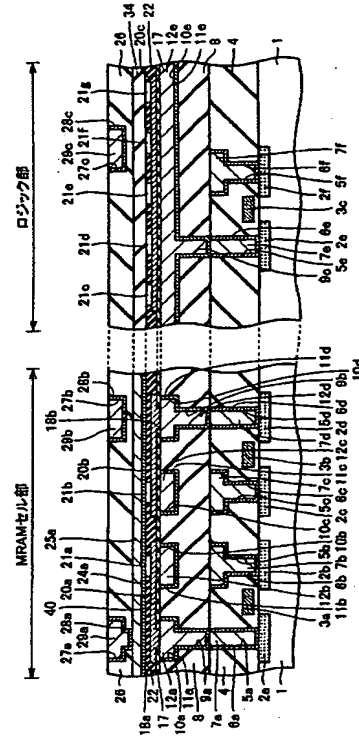
【图 16】



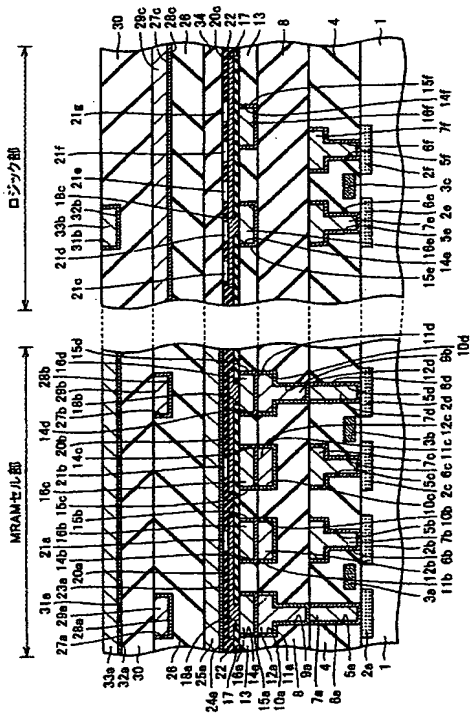
【図 17】



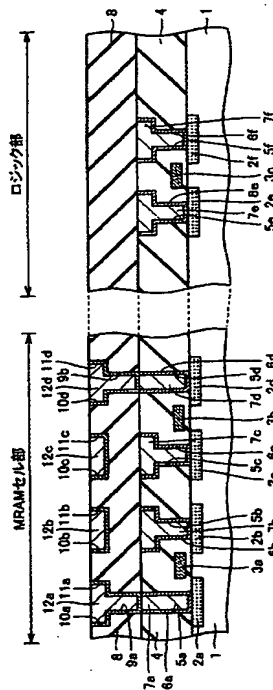
【図 18】



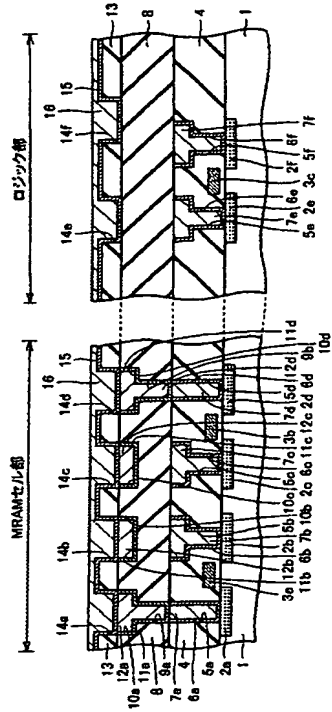
【図 19】



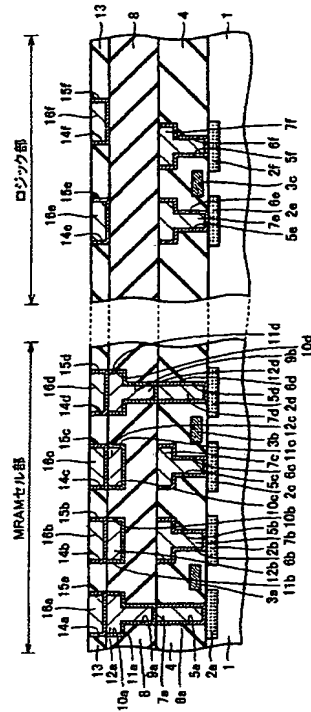
【図 20】



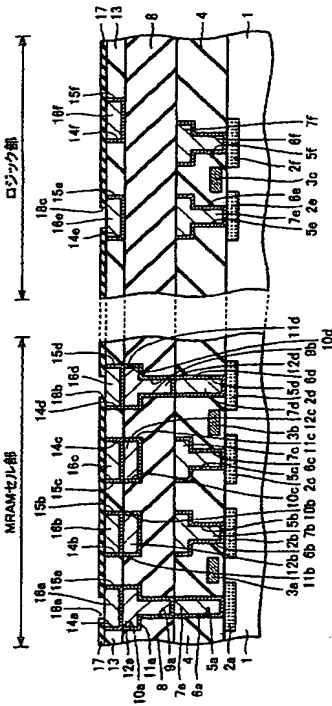
【図 2 1】



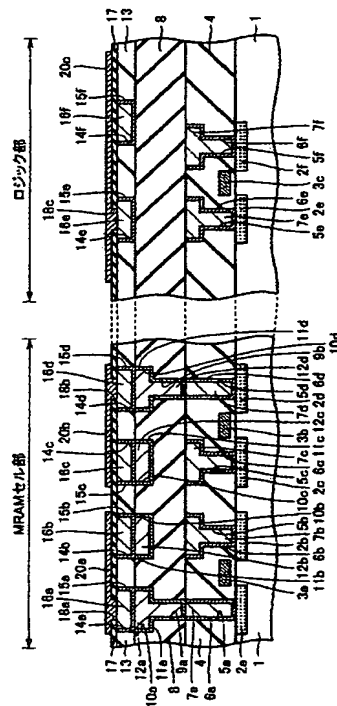
【図 2 2】



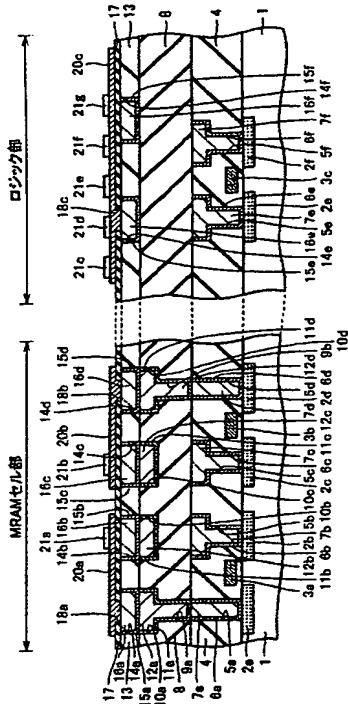
【図 2 3】



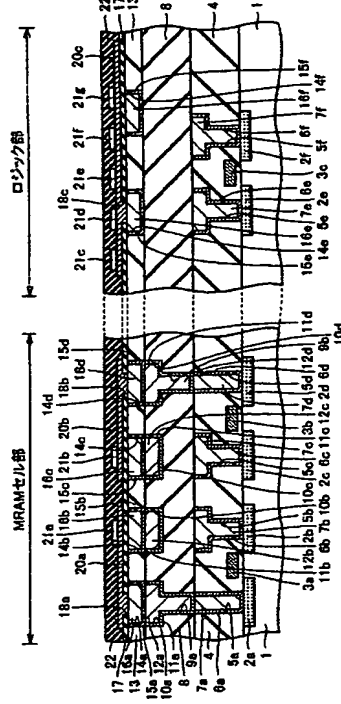
【図 2 4】



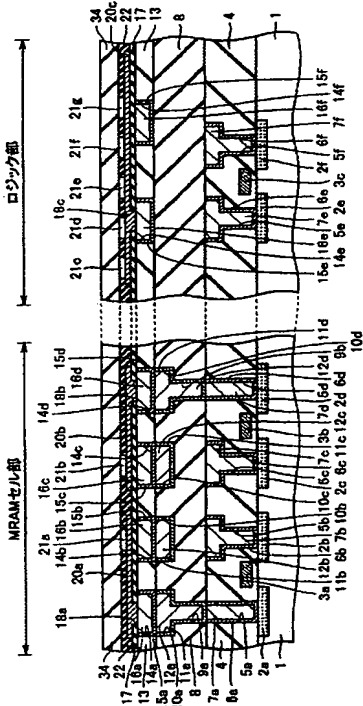
【図 25】



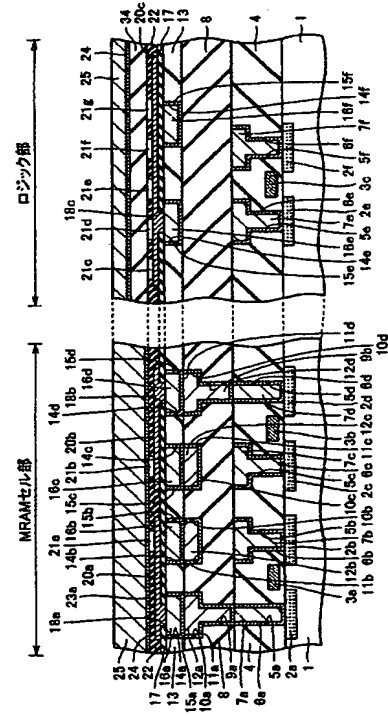
【図 26】



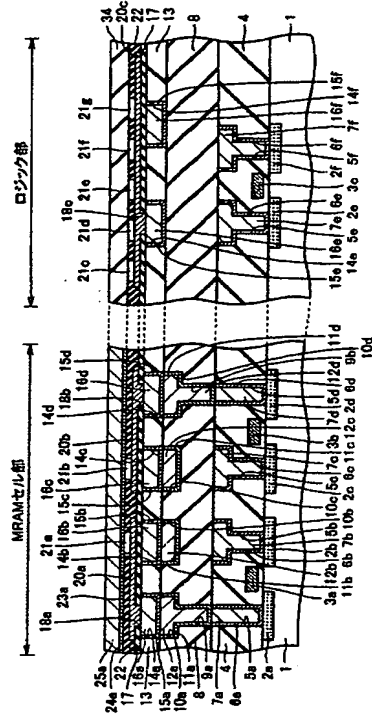
【図 27】



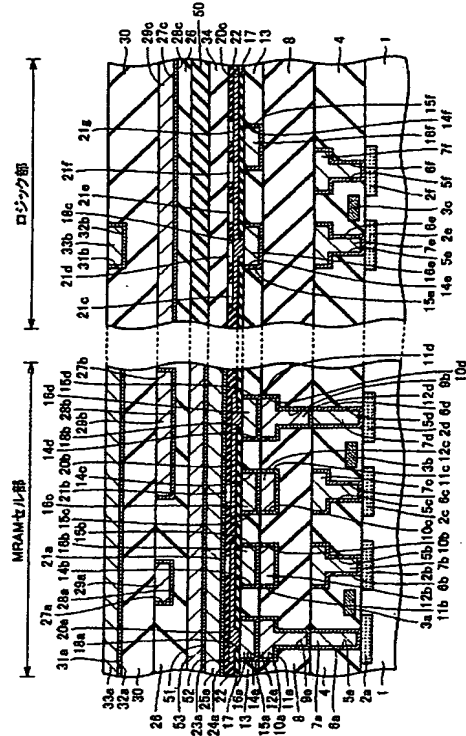
【図 28】



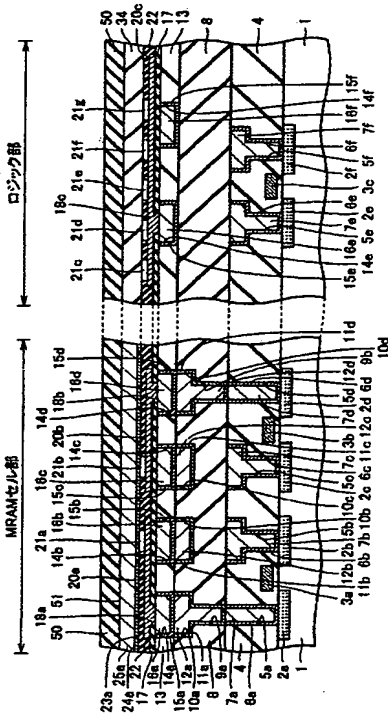
【図 29】



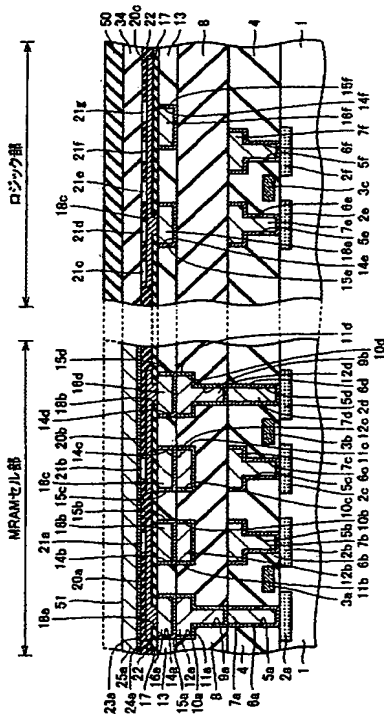
【図 30】



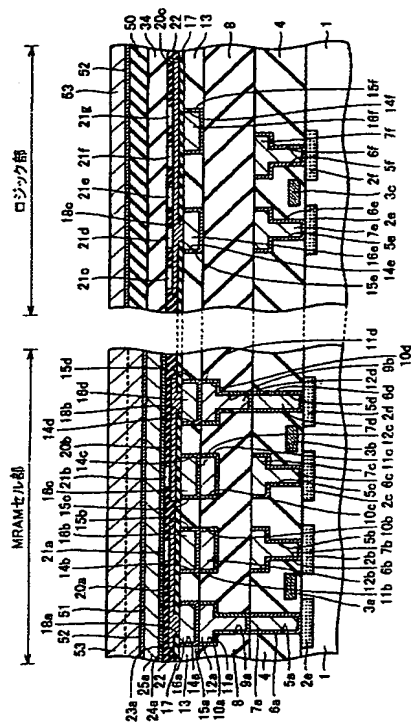
【図 31】



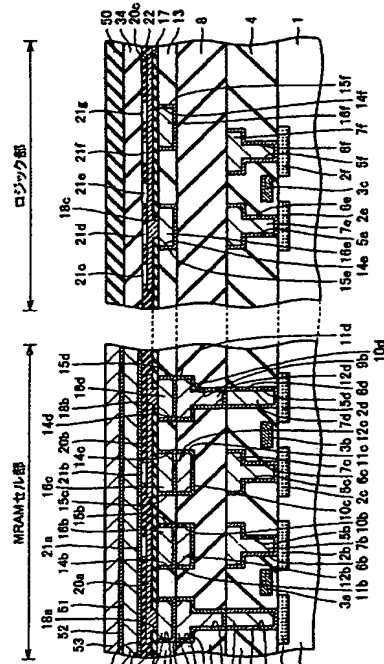
【図 32】



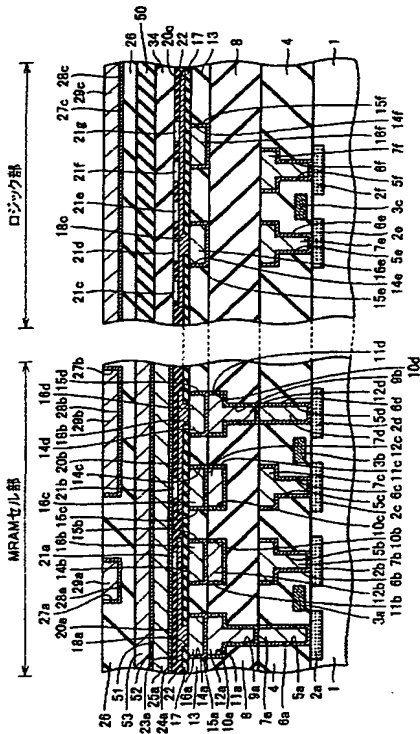
【図 3 3】



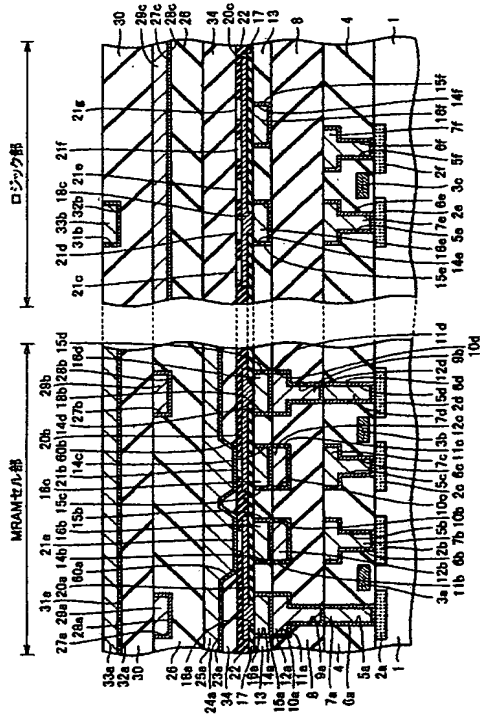
【図 3 4】



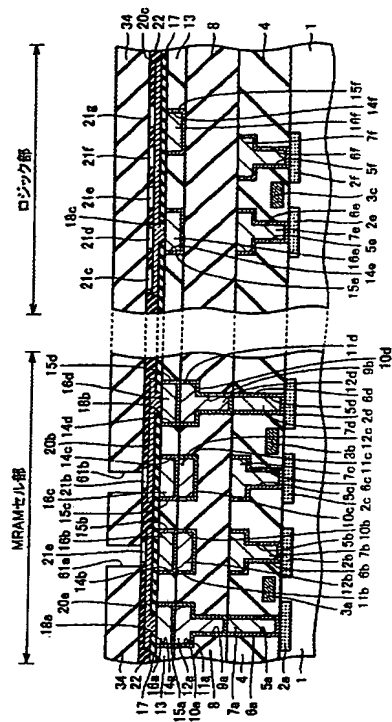
【図 3 5】



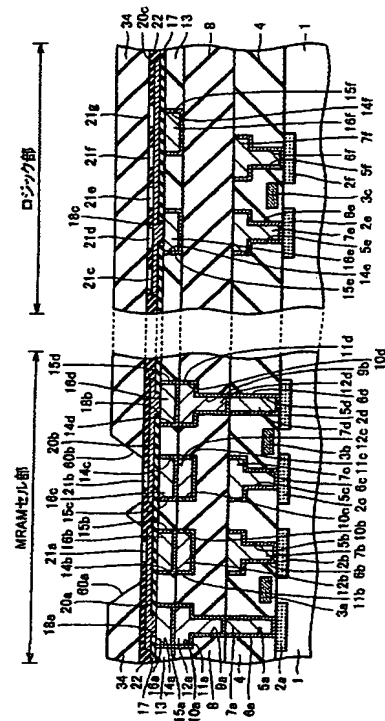
【図 3 6】



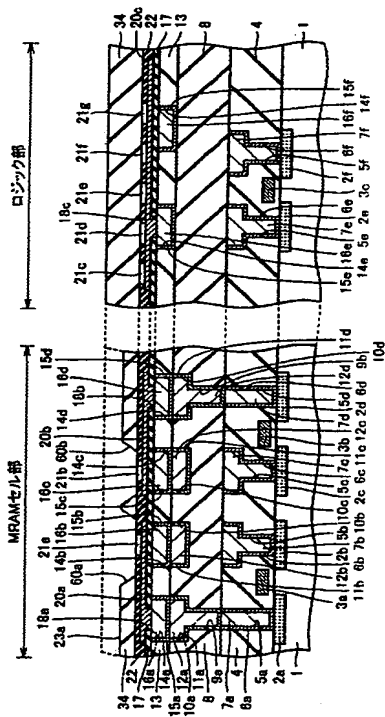
【図 37】



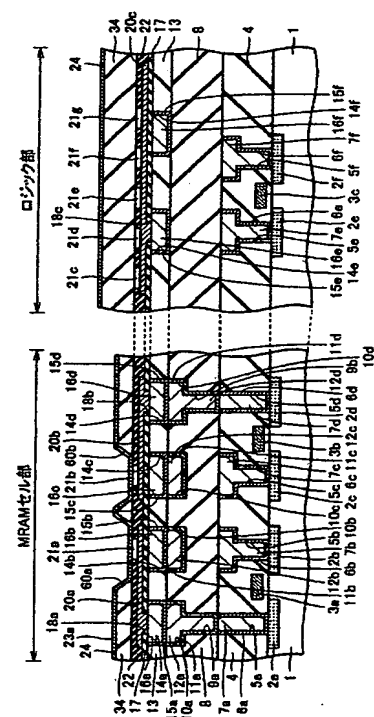
【図 38】



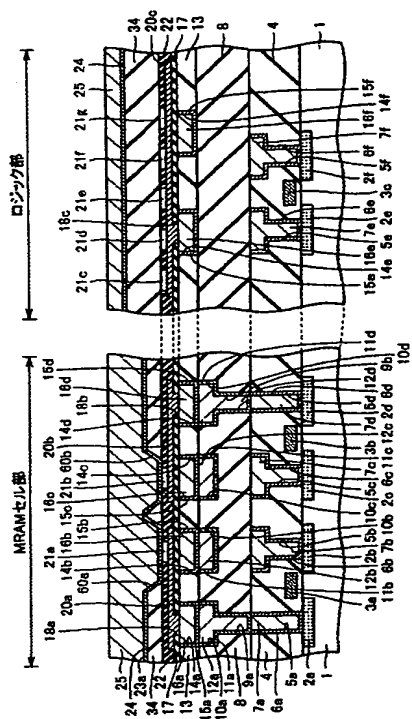
【図 39】



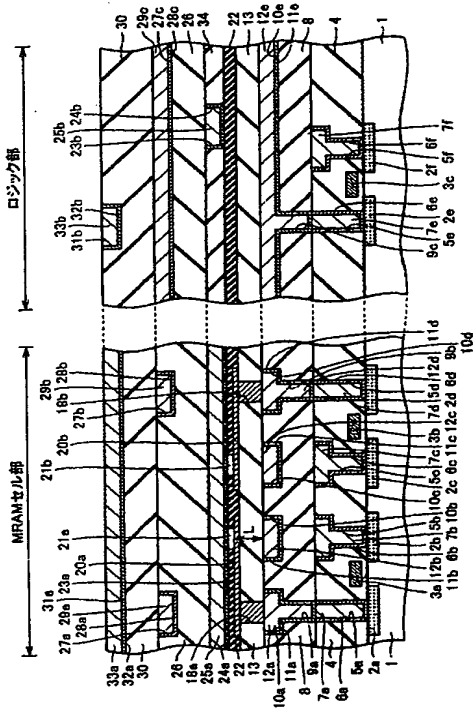
【図 40】



【図 4 1】



【図 4 3】





---

フロントページの続き

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F083 FZ10 GA30 JA37 JA39 JA40 KA17 MA05 MA06 MA16 MA19  
PR40 ZA12 ZA28

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**